

2

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Chiyoko KOMATSU, et al.

Filed : Concurrently herewith

For : COMMUNICATION NODE AND....

Serial No. : Concurrently herewith

March 28, 2001

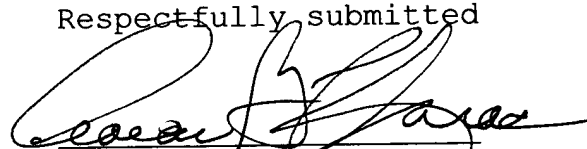
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-345669 of November 13, 2000 whose priority has been claimed
in the present application.

Respectfully submitted



[] Samson Helfgott
Reg. No. 23,072
[x] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJS 18.509
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402543US
On: March 28, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年11月13日

出 願 番 号

Application Number:

特願2000-345669

出 願 人

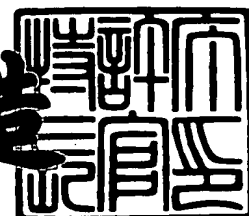
Applicant(s):

富士通株式会社

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3004582

【書類名】 特許願

【整理番号】 0000792

【提出日】 平成12年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/00

【発明の名称】 通信ノード及び通信ユニット

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小松 知世子

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 高木 義信

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 森田 浩隆

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092978

 【弁理士】

 【氏名又は名称】 真田 有

 【電話番号】 0422-21-4222

【手数料の表示】

 【予納台帳番号】 007696

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704824

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信ノード及び通信ユニット

【特許請求の範囲】

【請求項 1】 複数のスロットに実装された通信ユニット間での信号の伝送を可能にするバックプレーン伝送回路と、

該バックプレーン伝送回路における該通信ユニットの実装スロット位置情報に基づいて該信号の波形制御を行なう信号波形制御部とをそなえたことを特徴とする、通信ノード。

【請求項 2】 該信号波形制御部が、

該通信ユニットの実装スロット位置情報を収集する実装スロット位置情報収集部と、

該実装スロット位置情報収集部によって収集された該実装スロット位置情報に基づいて該信号の伝送距離に応じた波形補正情報を生成する波形補正情報生成部とをそなえ、

該波形補正情報生成部によって得られた該波形補正情報に基づいて該波形制御を行なうように構成されたことを特徴とする、請求項 1 記載の通信ノード。

【請求項 3】 該信号の送信側通信ユニットに、送信信号振幅制御機能付きの送信回路が設けられるとともに、

該信号波形制御部が、該送信回路での振幅制御量を制御することで該波形制御を行なうように構成されたことを特徴とする、請求項 1 又は請求項 2 に記載の通信ノード。

【請求項 4】 該信号の受信側通信ユニットに、受信信号振幅制御機能付きの受信回路が設けられるとともに、

該信号波形制御部が、該受信回路での振幅制御量を制御することで該波形制御を行なうように構成されたことを特徴とする、請求項 1 ～ 3 のいずれか 1 項に記載の通信ノード。

【請求項 5】 該信号波形制御部が、該信号の送信側通信ユニット及び受信側通信ユニットのそれぞれに設けられるとともに、

当該信号波形制御部同士が該信号の振幅制御量を決定するための通信を行なっ

て該波形制御を行なうように構成されたことを特徴とする、請求項 1 記載の通信ノード。

【請求項 6】 該通信ユニットが、それぞれ、該信号のエラー訂正を行なうためのエラー訂正回路をそなえていることを特徴とする、請求項 1 ～ 5 のいずれか 1 項に記載の通信ノード。

【請求項 7】 該信号の送信側通信ユニットにおけるエラー訂正回路が、該エラー訂正のためのエラー訂正情報を該信号に付加するように構成されるとともに、

該信号の受信側通信ユニットにおけるエラー訂正回路が、該信号に付加された該エラー訂正情報に基づいて該エラー訂正を行なうように構成されたことを特徴とする、請求項 6 記載の通信ノード。

【請求項 8】 該バックプレーン伝送回路に、
該スロットに対する通信ユニット増設時のための拡張用接続部と、
該拡張用接続部に接続され増設された通信ユニットとそれ以外の既存通信ユニットとの通信を可能にする拡張用信号配線とが設けられていることを特徴とする、請求項 1 記載の通信ノード。

【請求項 9】 複数のスロットに実装された通信ユニット間での信号の伝送を可能にするバックプレーン伝送回路をそなえた通信ノードの該スロットに実装される通信ユニットであって、

該バックプレーン伝送回路の他のスロットに実装された通信ユニット向けの信号を送信する送信回路と、

該送信回路から送信される該信号の波形を該他のスロットに実装された通信ユニットの実装スロット位置情報に基づいて制御する送信側波形制御回路とをそなえたことを特徴とする、通信ノード用の通信ユニット。

【請求項 10】 複数のスロットに実装された通信ユニット間での信号の伝送を可能にするバックプレーン伝送回路をそなえた通信ノードの該スロットに実装される通信ユニットであって、

該バックプレーン伝送回路の他のスロットに実装された通信ユニットからの信号を受信する受信回路と、

該受信回路で受信された該信号の波形を該他のスロットに実装された通信ユニットの実装スロット位置情報に基づいて制御する受信側波形制御回路とをそなえたことを特徴とする、通信ノード用の通信ユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、通信ノード及び通信ユニットに関し、特に、SONET (Synchronous Optical Network) やSDH (Synchronous Digital Hierarchy) などの新同期網の伝送方式に準拠した伝送装置として用いて好適な、通信ノード及び通信ユニットに関する。

【0002】

【従来の技術】

図14は既存のSONET/SDH伝送システムに適用される伝送装置（通信ノード）の外観を模式的に示す正面図で、この図14に示すノード100は、10Gbps〔SONETのOC (Optical Carrier) - 192/SDHのSTM (Synchronous Transfer Module) - 64〕対応の装置（以下、「10Gノード」という）で、装置筐体であるシェルフ（サブラック）110と、それぞれ機能別に設計された以下に列記する各種ユニットとをそなえて構成されており、これらのユニットが、それぞれ、シェルフ110の所定スロットに実装・固定されるようになっている。

【0003】

- ・ 受信ユニット (RC) 111A, 111B
- ・ 分離ユニット (DM) 112A, 112B
- ・ 4組の現用 (ワーク) / 予備 (プロテクション) 用の分岐挿入ユニット (MM) 113W/P ~ 116W/P
- ・ 多重ユニット (MX) 117A, 117B
- ・ 送信ユニット (TC) 118A, 118B
- ・ シンクロナイゼーション・ユニット (SC) 121A, 121B
- ・ HUBユニット 122

- ・ アラーム・オーダワイヤ・ユニット (AWU) 131
- ・ トランスポート・コンプレックス・インタフェース (HED) ユニット 132 A, 132 B
- ・ クラフト・インタフェース・ユニット (CRF) 133
- ・ DCC (Data Communication Channel) 終端ユニット 134 A, 134 B
- ・ メモリ・ユニット 135
- ・ CPU (Central Processing Unit) カード 136 A, 136 B
- ・ 電源ユニット (PW) 137

ここで、上記の受信ユニット 111 A, 111 B は、10 Gbps 容量の光信号 (OC-192) を受信する高次群インタフェースで、その主要な機能として、例えば、プリアンプや光電変換器 (O/E) などとをそなえて構成される。なお、これらの受信ユニット 111 A, 111 B は、「1+1 構成」の場合、一方が現用、他方が予備用として用いられ、リングネットワークなどに適用される場合、双方が現用（一方が EAST 方向用、他方が WEST 方向用）として用いられる。

【0004】

また、上記の分離ユニット 112 A, 112 B は、それぞれ、対応する受信ユニット 111 A, 111 B からの主信号を低次群チャンネル信号 (OC-48 相当) に分離するためのものであり、分岐挿入ユニット 113 W/P ~ 116 W/P は、それぞれ、分離ユニット 112 A, 112 B からの上記低次群チャンネル信号についてのインタフェースを装備するものである。

【0005】

ただし、本 10 G ノード 100 がリングネットワークに適用される場合、現用の分岐挿入ユニット 113 W ~ 116 W は EAST 方向用、予備用の分岐挿入ユニット 113 P ~ 116 P は WEST 方向用のインタフェース (IF) ユニットとしてそれぞれ使用される。

さらに、多重ユニット 117 A, 117 B は、それぞれ、上記の各分岐挿入ユニット 113 W/P ~ 116 W/P からの低次群チャンネル信号を 10 Gbps 容量分だけ集線して多重化するためのものである。

【0006】

また、送信ユニット118A, 118Bは、それぞれ、対応する多重ユニット117A, 117Bからの多重化信号を光信号(OC-192)に変換して高次群インタフェース(光ライン)へ出力するためのもので、このために、例えば、電気光変換器(E/O)やポストアンプなどをそなえて構成される。

つまり、上記の受信ユニット111A, 111B, 分離ユニット112A, 112B, 分岐挿入ユニット113W/P~116W/P, 多重ユニット117A, 117B及び送信ユニット118A, 118Bから成るブロック(通信ユニット群)は、図15に模式的に示すように、主信号の伝送機能を担うトランスポート・コンプレックス部(主信号ブロック)101を構成しているのである。

【0007】

次に、上記のシンクロナイゼーション・ユニット121A, 121Bは、それぞれ、本10Gノード100のタイミング同期機能を提供するシンクロナイゼーション・コンプレックス部(同期ブロック)102(図16参照)を構成するもので、例えば、リファレンス・クロックの収集機能や、タイミング分配機能、シンクロナイゼーション・メッセージ処理機能などを有している。なお、本同期ブロック102は、主信号ブロック101の一部として扱われる場合が多い。また、HUBユニット122は、後述のマネージメント・コンプレックス部103(図17参照)と上記のトランスポート・コンプレックス部101との間をインタフェースするユニットである。

【0008】

また、アラーム・オーダワイヤ・ユニット131は、アラーム・オーダワイヤ機能を提供するためのものであり、HEDユニット132A, 132Bは、それぞれ、ポーリング制御機能やオーバヘッド・インタフェース(オーバヘッド終端/付け替えなど)を提供するものであり、クラフト・インタフェース・ユニット133は、クラフト・インタフェースやDCC(Data Communication Channel)終端機能などを提供するものであり、DCC終端ユニット134A, 134Bは、DCC終端機能を提供するためのものである。

【0009】

さらに、CPU (Central Processing Unit) カード 1 3 6 A, 1 3 6 B は、それぞれ、上記の主信号ブロック 1 0 1 及び各ユニット 1 3 1, 1 3 2 A, 1 3 2 B, 1 3 3, 1 3 4 A, 1 3 4 B を統括的に制御して、本 1 0 G ノード 1 0 0 の監視制御機能を提供するもので、ここでは、これら 2 枚の CPU カード 1 3 6 A, 1 3 6 B にて負荷分散処理を行なうようになっている。

【 0 0 1 0 】

また、メモリ・ユニット 1 3 5 は、上記の CPU カード 1 3 6 A, 1 3 6 B が動作する上で必要なソフトウェアやデータを記憶するとともに、上記の監視・制御機能を実行する上で必要な作業メモリ領域などを提供するものであり、電源ユニット 1 3 7 は、マネージメント・コンプレックス部 1 0 3 に電源を供給するためのものである。

【 0 0 1 1 】

つまり、上記のアラーム・オーダワイヤ・ユニット 1 3 1, HED ユニット 1 3 2 A, 1 3 2 B, クラフト・インタフェース・ユニット 1 3 3, DCC 終端ユニット 1 3 4 A, 1 3 4 B, メモリ・ユニット 1 3 5 及び CPU カード 1 3 6 A, 1 3 6 B から成るブロックは、図 1 7 に模式的に示すように、本シェルフ 1 0 0 の監視・制御機能を提供するマネージメント・コンプレックス部（監視・制御ブロック） 1 0 3 を構成しているのである。

【 0 0 1 2 】

そして、上述の構成を有する 1 0 G ノード 1 0 0 で受信された主信号は、図 1 8 に示すような経路をとって上記の主信号ブロック 1 0 1 を伝送される。このため、本 1 0 G ノード 1 0 0 には、図 2 0 に模式的に示すように、上記の主信号ブロック 1 0 1 を構成する各ユニット（符号略）が接続されるスロット毎のコネクタ 2 0 1 やユニット間通信（信号伝送）のための信号配線などが設けられたプリント基板〔PCB (Printed Circuit Board)〕 2 0 0 がシェルフ 1 1 0 の背面に設けられている。なお、前記プリント基板 2 0 0 が、バックボード (BWB ; Back Wired Board)、あるいは、バックプレーン・インタフェース（バックプレーン伝送回路）と呼ばれるものである。

【 0 0 1 3 】

そして、上記の各ユニットを例えばシェルフ 1 1 0 の上下の内壁面にスロット毎に設けられたガイド（レール） 1 4 0 に沿ってシェルフ奥に押し込むことで、各ユニットの背面に設けられたコネクタ 1 5 0 と上記バックプレーン・インタフェース（以下、単に「バックプレーン」という） 2 0 0 に設けられたスロット対応のコネクタ 2 0 1 とが接続されて、ユニット間通信が可能な状態となる。

【 0 0 1 4 】

このときの、上記主信号ブロック 1 0 1 を構成する各ユニット 1 1 1 A, 1 1 1 B, 1 1 2 A, 1 1 2 B, 1 1 3 W/P ~ 1 1 6 W/P, 1 1 7 A, 1 1 7 B, 1 1 8 A, 1 1 8 B の具体的な接続関係は、図 1 9 に示すようになる。

即ち、受信信号のビットレートが 1 0 G b p s の場合、受信ユニット 1 1 1 A (1 1 1 B) と分離ユニット 1 1 2 A (1 1 2 B) との間、および、多重ユニット 1 1 7 A (1 1 7 B) と送信ユニット 1 1 8 A (1 1 8 B) との間は、それぞれ、バックボード 2 0 0 に設けられた 6 2 2 M b p s × 1 6 並列の信号線により接続され、分離ユニット 1 1 2 A (1 1 2 B) と分岐挿入ユニット 1 1 3 W ~ 1 1 6 W (1 1 3 P ~ 1 1 6 P) との間、および、分岐挿入ユニット 1 1 3 W ~ 1 1 6 W (1 1 3 P ~ 1 1 6 P) と多重ユニット 1 1 7 A (1 1 7 B) との間は、それぞれ、バックボード 2 0 0 に設けられた 3 1 1 M b p s × 3 2 並列の信号線により接続された状態となる。

【 0 0 1 5 】

このように、既存の 1 0 G ノード 1 0 0 では、バックボード 2 0 0 とそれを介して接続される各ユニット間のインタフェースとして、1 0 G 容量分のデータ（主信号）を 3 1 1 M b p s × 3 2 並列、もしくは、6 2 2 M b p s × 1 6 並列の並列データとして伝送する方式を採用しているのである。

なお、図 1 9 において、破線で示す信号経路は、上述したように本ノード 1 0 0 がリングネットワークに適用される〔上記のワーク／プロテクションが E A S T / W E S T として用いられる（つまり、プロテクションも現用として用いる）〕場合には、使用されない経路（配線）であることを表わしている。

【 0 0 1 6 】

また、監視・制御ブロック 1 0 3 を構成する各ユニットのための配線はバック

ボード 2 0 0 には設けられておらず、監視・制御ブロック 1 0 3 と主信号ブロック 1 0 1 との間の情報（監視，制御，オーバヘッドなど）の情報のやりとりは、例えば図 1 7 中に示すように、H E D ユニット 1 3 2 A，1 3 2 B 及び H U B ユニット 1 2 2 を介してシェルフ 1 1 0 の前面に配線された 1 5 5 . 5 2 M b p s の光ファイバ（光リンク）にて行なわれるようになっている。

【0 0 1 7】

【発明が解決しようとする課題】

ところで、SONET/SDH 伝送システムにおける光ラインのビットレートは、ここ数年で従来の 2 . 5 G b p s （ギガビット/秒）から上述したごとく 1 0 G b p s に高速化されてきており、今後は、4 0 G b p s や 1 6 0 G b p s といった超高速化の実現も期待されている。このため、SONET/SDH 伝送システムを構築するノードについても 4 0 G b p s 以上のビットレートに対応した超高速・大容量の装置の開発が期待されている。

【0 0 1 8】

即ち、現在、主流となっている SONET/SDH 伝送システムにおけるノードが対応するビットレートは上述した 1 0 G b p s （OC-1 9 2 / STM-6 4）であるが、次期装置としては、4 0 G b p s （OC-7 6 8 / STM-2 5 6）、さらには、1 6 0 G b p s （OC-3 0 7 2 / STM-1 0 2 4）という超高速なビットレートに対応できるノードの開発が急がれている。

【0 0 1 9】

そこで、例えば、上述した既存 1 0 G b p s 対応のバックプレーン 2 0 0 の構成（インタフェース）において、信号配線数（並列度）を増やすことで、4 0 G b p s 対応のノードを実現するという単純な方法が考えられるが、この場合は、3 1 1 M b p s なら 1 2 8 並列、6 2 2 M b p s なら 6 4 並列という巨大な並列信号をバックプレーン 2 0 0 上で伝送しなければならなくなり、1 0 G ノード 1 0 0 と同一サイズあるいはそれ以下の装置規模での実現は極めて困難である。当然、それ以上の 1 6 0 G b p s とした超高速・大容量ノードを小型に実現することも不可能である。

【0 0 2 0】

しかしながら、40Gbpsや160Gbpsといった次世代の超高速・大容量ノードに対しては、その性能は勿論のこと装置規模においても、従来の10Gノード100と同一またはそれ以下のサイズが要求されているため、実装される各ユニットの小型化とともに、バックプレーン200の高速化・高密度集積化を実現する必要がある。

【0021】

つまり、バックプレーン200上の信号配線数（並列度）はそのまま、各信号線のビットレートを上げる必要がある。しかし、既存のバックプレーン200および既存デバイス、材料では、311Mbpsや622Mbpsといった上記のビットレートまでが主信号を安定して伝送できる限界であり、これ以上のビットレートで主信号をバックプレーン200上で伝送しようとする、信号線のもつ損失特性によりバックプレーン200のスロット間という比較的短い伝送距離においても主信号波形が大きく劣化してしまい、とても実用性には耐えられないのが現状である。

【0022】

また、バックプレーン上の信号速度（容量）は、システムとしての伝送容量、ひいては、システムのアプリケーションメニューを決める重要な要素であり、高速ビットレート対応のバックプレーンが実現できなければシステムとしての拡張性に対応することもできない。

本発明は、以上のような課題に鑑み創案されたもので、主信号の並列度を上げずにその主信号のバックプレーン伝送を安定して高速に行なえるようにして、40Gbpsや160Gbpsもしくはそれ以上の超高速・大容量のビットレートに対応可能な拡張性の高い通信ノードを、小型に実現できるようにすることを目的とする。

【0023】

【課題を解決するための手段】

上記の目的を達成するために、本発明の通信ノードは、複数のスロットに実装された通信ユニット間での信号の伝送を可能にするバックプレーン伝送回路と、このバックプレーン伝送回路における通信ユニットの実装スロット位置情報に基

づいて上記信号の波形制御を行なう信号波形制御部とをそなえたことを特徴としている。

【0024】

上述のごとく構成された本発明の通信ノードでは、バックプレーン伝送回路(以下、単に「バックプレーン」と略称する)上を伝送される信号の波形を、通信ユニットの実装スロット位置情報に基づいて制御することができるので、信号の伝送速度が上がったときに顕著に現われる上記信号のスロット間の位置関係(つまり、伝送距離)に応じた信号波形劣化を改善(補償)することが可能となり、通信ユニット間での信号伝送に必要な信号品質を維持しながら常に安定した信号伝送を実現することができる(請求項1)。

【0025】

ここで、上記の信号波形制御部は、上記の通信ユニットの実装スロット位置情報を収集する実装スロット位置情報収集部と、この実装スロット位置情報収集部によって収集された実装スロット位置情報に基づいて上記信号の伝送距離に応じた波形補正情報を生成する波形補正情報生成部とをそなえ、この波形補正情報生成部によって得られた波形補正情報に基づいて上記の波形制御を行なうように構成してもよい。

【0026】

このようにすれば、通信ユニットの実装時や装置立ち上げ時などにおいて自動的にその実装スロット位置情報が収集されてスロット間の信号の伝送距離が求められ、その伝送距離に応じた波形補正情報が生成されてこれに基づいて信号の伝送距離に応じた波形制御が行なわれるので、手動で上記波形制御のための波形補正情報を設定する必要がない(請求項2)。

【0027】

なお、上記信号の送信側通信ユニットに、送信信号振幅制御機能付きの送信回路を設けるとともに、上記の信号波形制御部を、この送信回路での振幅制御量を制御することで上記の波形制御を行なうように構成すれば、信号の送信側での振幅制御により、上記伝送距離に応じた信号波形制御を実現できる(請求項3)。

また、上記信号の受信側通信ユニットに、受信信号振幅制御機能付きの受信回

路を設けるとともに、上記の信号波形制御部を、この受信回路での振幅制御量を制御することで波形制御を行なうように構成すれば、上記信号の受信側での振幅制御により、上記伝送距離に応じた信号波形制御を実現できる。勿論、これらの送信側、受信側での振幅制御は双方を組み合わせて実施することもできる（請求項4）。

【0028】

さらに、上記の信号波形制御部を、上記信号の送信側通信ユニット及び受信側通信ユニットのそれぞれに設けるとともに、これらの信号波形制御部同士が上記信号の振幅制御量を決定するための通信制御を行なって上記の波形制御を行なうように構成されていてもよい。このようにすれば、通信ユニットと別個に信号波形制御部を設けることなく、上記の波形制御を実現することができる（請求項5）。

【0029】

また、上記の通信ユニットには、それぞれ、上記信号のエラー訂正を行なうためのエラー訂正回路が設けられていてもよい。このようにすれば、装置環境の変化などの微少な外乱によっても信号エラーが生じるような高速信号伝送時においても、エラー訂正回路によりその信号エラーを訂正することができる（請求項6）。

【0030】

この場合、上記信号の送信側通信ユニットにおけるエラー訂正回路を、上記のエラー訂正のためのエラー訂正情報を上記信号に付加するように構成するとともに、上記信号の受信側通信ユニットにおけるエラー訂正回路を、上記信号に付加されたエラー訂正情報に基づいて上記のエラー訂正を行なうように構成してもよい。このようにすれば、信号速度を上げることにより確度の高いエラー訂正を付加することが可能となり、上記エラー訂正情報に基づいて確実に上記信号のエラー訂正を実施することができる（請求項7）。

【0031】

さらに、上記のバックプレーンには、上記のスロットに対する通信ユニット増設時のための拡張用接続部と、この拡張用接続部に接続され増設された通信ユニ

ットとそれ以外の既存通信ユニットとの通信を可能にする拡張用信号配線とが設けられていてもよい。このようにすれば、上述のごとく高速信号伝送を安定して行なえるバックプレーンの信号伝送容量を、装置規模を増大させることなく必要に応じて増やすことができる（請求項 8）。

【 0 0 3 2 】

次に、本発明の通信ユニットは、バックプレーンの他のスロットに実装された通信ユニット向けの信号を送信する送信回路と、この送信回路から送信される信号の波形を上記他のスロットに実装された通信ユニットの実装スロット位置情報に基づいて制御する送信側波形制御回路とをそなえたことを特徴としている。

上述のごとく構成された本発明の通信ユニットでは、バックプレーンへ送信する信号の波形を、通信相手である他の通信ユニットが実装されたスロットとの位置関係（つまり、伝送距離）に応じて制御することができるので、信号の伝送速度が上がったときに顕著に現われる伝送距離に応じた信号波形劣化を改善（補償）することが可能となり、通信ユニット間での信号伝送に必要な信号品質を維持しながら常に安定した信号伝送を実現することができる（請求項 9）。

【 0 0 3 3 】

また、本発明の通信ユニットは、バックプレーンの他のスロットに実装された通信ユニットからの信号を受信する受信回路と、この受信回路で受信された信号の波形を上記の他のスロットに実装された通信ユニットの実装スロット位置情報に基づいて制御する受信側波形制御回路とをそなえたことを特徴としている。

上述のごとく構成された本発明の通信ユニットでは、バックプレーンから受信される信号の波形を、通信相手である他の通信ユニットが実装されたスロットとの間の位置関係（つまり、伝送距離）に応じて制御することができるので、この場合も、信号の伝送速度が上がったときに顕著に現われる伝送距離に応じた信号波形劣化を改善（補償）することが可能となり、通信ユニット間での信号伝送に必要な信号品質を維持しながら常に安定した信号伝送を実現することができる（請求項 1 0）。

【 0 0 3 4 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図 1 は本発明の一実施形態としての S O N E T / S D H ノードを模式的に示す斜視図で、この図 1 に示す S O N E T / S D H ノード 1（以下、単に「ノード 1」という）は、この場合も、装置筐体であるシェルフ（ラック） 2 と、機能別に設計された以下に列記する複数のユニットとをそなえて構成されており、これらのユニットが、それぞれ、従来と同様に、シェルフ 2 の所定スロットに挿入されることで、シェルフ背面に設けられたバックプレーン・インタフェース 3（以下、単に「バックプレーン 3」ともいう）を介して信号が接続されるようになっている。

【 0 0 3 5 】

- ・送信インタフェース（I F）ユニット（I F S） 1 1 - 1 ~ 1 1 - 4
- ・多重ユニット（M U X） 1 2
- ・送信ユニット（O S） 1 3
- ・受信ユニット（O R） 2 1
- ・分離ユニット（D M U X） 2 2
- ・受信インタフェース（I F）ユニット（I F R） 2 3 - 1 ~ 2 3 - 4
- ・H U B ユニット 3 0

なお、図 1 では、シェルフ上段側において、各ユニット 1 1 - 1 ~ 1 1 - 4, 1 2, 1 3, 3 0 とバックプレーン 3 との接続関係を透過イメージで示している。また、この図 1 には、現用系（E A S T 側）の送信 I F ユニット 1 1 - i（i = 1 ~ 4）, 多重ユニット 1 2 及び送信ユニット 1 3（受信ユニット 2 1, 分離ユニット 2 2 及び受信 I F ユニット 2 3 - i）に着目した構成（スロット）のみを示しているが、実際には、それぞれ、前述した 1 0 G ノード 1 0 0 と同様に、それぞれに対応する予備用（W E S T 側）ユニット（スロット）も設けられており、現用系と同様の接続を行なう信号配線が現用系の信号配線とペアでバックプレーン 3 上に形成されているものとする。

【 0 0 3 6 】

さらに、上記の各ユニット 1 1 - i, 1 2, 1 3, 2 1, 2 2, 2 3 - i 及び 3 0 のシェルフ 2 に対する実装方法は、図 2 0 により前述した方法と同様である

。また、この図1において、符号4は光リンク（光ファイバ）5を介してHUBユニット30と接続されたマネージメント・シェルフ（前記の監視・制御ブロック103に相当する）を表わし、このマネージメント・シェルフ4に、後述するバックプレーン伝送の信号波形制御を行なうための制御ユニット41（図2参照）が実装されるようになっている。

【0037】

以下、上記の各ユニット11-i, 12, 13, 21, 22, 23-iの基本機能について説明する。

まず、上記シェルフ2の上段において、送信IFユニット11-iは、それぞれ、低次群インタフェース（光ライン）からの主信号（低次群チャンネル信号；例えば、本ノード1が40Gbps対応のものであれば10Gbps容量分、80Gbps対応のものであれば20Gbps容量分の信号）を電気信号に変換して送信回路14-iからバックプレーン3上に設けられた信号配線（主信号ライン）31-i経由で多重ユニット12へ送信するためのものである。

【0038】

また、多重ユニット12は、上記の送信ユニット11-iの各送信回路14からバックプレーン3上の信号配線31-iを介して伝送されてくる主信号をそれぞれ対応する受信回路15-iで受信して多重化し、その多重化信号を対応する送信回路16-iからバックプレーン3上の信号配線（主信号ライン）32-i経由で送信ユニット13へ送信するためのものである。

【0039】

さらに、送信ユニット13は、上記の多重ユニット12の各送信回路16-iからバックプレーン3上の信号配線32-i経由で伝送されてくる主信号（多重化信号）を対応する受信回路17-iで受信して、各受信信号を光信号に変換して高次群インタフェース（光ライン）へ送信するためのものである。

つまり、上記の送信IFユニット11-iは、多重ユニット12に対する送信側の通信ユニットに相当し、多重ユニット12は、送信IFユニット11-iに対する受信側の通信ユニットに相当するとともに、送信ユニット13に対する送信側の通信ユニットに相当し、送信ユニット13は、多重ユニット12に対する

受信側の通信ユニットに相当することになる。

【0040】

なお、上記の各ユニット11-i, 12, 13には、図1中に示すように、それぞれ、制御LSI回路 (Large Scale Integrated circuit) 18-1~18-6も設けられており、これらの制御LSI回路18-1~18-6によって、後述するように、対応するユニット11-i, 12, 13内の送信回路14-i、あるいは、受信回路15-i, 17-iが制御されて、バックプレーン3上を伝送される主信号の波形がその伝送距離 (信号配線31-i, 32-iの距離) に応じて制御されるようになっている。

【0041】

一方、シェルフ2の下段において、受信ユニット21は、上記の高次群インタフェースから受信される光信号 (多重化信号) を電気信号に変換してバックプレーン3経由で分離ユニット15へ主信号として送信するものであり、分離ユニット22は、受信ユニット14から受信した主信号を低次群チャンネル信号に分離してそれぞれ対応する受信IFユニット23-iにバックプレーン3経由で分配するためのものであり、各受信IFユニット23-iは、それぞれ、分離ユニット22からの主信号を光信号に変換して低次群インタフェース (光ライン) へ送信するためのものである。

【0042】

つまり、図1に示すノード1は、送信IFユニット11-1~11-4, 多重ユニット12, 送信ユニット13, 受信ユニット21, 分離ユニット22及び受信IFユニット23-1~23-4が、主信号の伝送機能を提供する主信号ブロックを構成し、そのうち、シェルフ2の上段に実装された送信ユニット11, 多重ユニット12及び送信IFユニット13-1~13-4から成るブロックが、主信号の送信機能 (送信ブロック10) を提供し、シェルフ2の下段に実装された受信ユニット21, 分離ユニット22及び受信IFユニット23-1~23-4から成るブロックが、主信号の受信機能 (受信ブロック20) を提供しているのである。

【0043】

なお、図1には図示を省略しているが、これらのシェルフ2の下段に実装された受信ブロック20を構成する各ユニット21, 22, 23-iにも、それぞれ、送信ブロック10の構成と同様に、送信回路あるいは受信回路が搭載され、これらの送信回路と受信回路とがバックプレーン3上の信号配線により1対1に接続されているものとする。また、制御LSI回路もそれぞれ設けられており、送信ブロック10側と同様に、後述するバックプレーン3上を伝送される主信号の伝送距離に応じた信号波形制御が行なわれるようになっている。

【0044】

さらに、上記のHUBユニット30は、送信ブロック10及び受信ブロック20との間の信号の集線/分配機能を提供するとともに、マネージメント・シェルフ4との間の監視・制御情報の送受を光リンク5にて実現するもので、送信ブロック10との接続に着目すると、図1中に示すように、電気光変換器(E/O)30-1と制御LSI回路30-2とをそなえている。

【0045】

これにより、本HUBユニット30では、各ユニット11-i, 12, 13に搭載された制御LSI回路18-j ($j = 1 \sim 6$)で収集された監視情報を、バックプレーン3を介して制御LSI回路30-2で収集して光リンク5経由でマネージメント・シェルフ4へ送信する一方、マネージメント・シェルフ4からの制御情報を、制御LSI回路30-2経由で各ユニット11-i, 12, 13に搭載された制御LSI回路18-jへ適宜転送することが行なわれる。

【0046】

さて、ここで、上記のバックプレーン3上の主信号の伝送（以下、「バックプレーン伝送」ともいう）は、本実施形態では、従来の311Mbps×32並列、もしくは、622Mbps×16並列のデータ伝送方式から、2.5（～5.0）Gbps×16並列のデータ伝送方式に基本ビットレートを引き上げている。

【0047】

ただし、このようにバックプレーン伝送のビットレートがGbpsオーダの高速ビットレートに達すると、信号配線31-i, 32-iのもつ損失特性による

伝送損失が大きくなり主信号データの波形劣化が大きくなる。しかも、この波形劣化は、バックプレーン 3 上での主信号データの伝送距離（信号配線距離；スロット間距離）によって異なる。

【0048】

また、微少な装置環境〔温度や電源電圧，電磁環境両立性（EMC：Electro-Magnetic Compatibility）〕の変化や外乱，回路素子特性のばらつきなどによって主信号データにエラーも発生しやすくなる。なお、上記の EMC とは、装置が出す電磁妨害（EMI：Electro-Magnetic Interference）と装置の電磁妨害耐力（EMS：Electro-Magnetic Susceptibility）の総称である。

【0049】

このため、本実施形態では、2.5（～5.0）Gbps の主信号データに誤り訂正符号を付加して、主信号データを誤り訂正符号付きの 2.7（～5.4）Gbps の主信号データとし、さらに、連続符号制限とマーク率の平均化及びパリティ・エラーの検出などを行なって主信号データの符号間干渉を低減すべく 8 B（ビット）／10 B 変換による符号変換を行なうことで、2.5（～5.0）Gbps の主信号データを最終的に 3.375（～6.75）Gbps まで高速化して伝送するとともに、スロット間毎に主信号データの波形補正を個々に行なう。

【0050】

なお、上記の誤り訂正符号は、主信号データ内の空き領域（オーバヘッドの空き領域など）に挿入することで、信号速度は上げないようにしてもよい。ただし、上記のように誤り訂正符号を主信号データの外部に付加して信号速度を上げるようにした方が、付加できる誤り訂正符号量の制限が少ないので、確度の高い誤り訂正符号を付加することができる。

【0051】

上記のようにすることで、バックプレーン 3 上での主信号の並列度（信号配線数）を増やすことなく、しかも、基本ビットレートが 2.5（～5.0）Gbps という Gbps オーダの超高速バックプレーン伝送を、正常に、且つ、安定して行なうことが可能となり、従来の 10 G ノード 100 と同等もしくはそれ以下

の装置規模で、4 0 G b p s（バックプレーン伝送の基本ビットレートを2. 5 G b p sにした場合）～8 0 G b p s（同じく、5. 0 G b p sとした場合）対応のノード1を実現することが可能となる。

【0 0 5 2】

このため、本実施形態の送信 I F ユニット 1 1 - i、多重ユニット 1 2（多重ユニット 1 2、送信ユニット 1 3）及び制御ユニット 4 0 は、それぞれ、その要部に着目すると図 2 に示すように構成されている。

即ち、送信 I F ユニット 1 1 - i（多重ユニット 1 2）は、上記の送信回路 1 4 - i（1 6 - i）として、例えば、F E C エンコーダ 3 1 とトランスミッタ 3 2 とをそなえとともに、制御 L S I 回路 1 8 - i（1 8 - 5）としてユニット実装情報検出部 3 3 とエンファシス制御部 3 4 とをそなえて構成され、多重ユニット 1 2（送信ユニット 1 3）は、上記の受信回路 1 5 - i（1 7 - i）としてレシーバ 4 1 と F E C デコーダ 4 2 とをそなえとともに、制御 L S I 回路 1 8 - 5（1 8 - 6）としてユニット実装情報検出部 4 3 と減衰制御部 4 4 とエラー検出部 4 5 とをそなえて構成されている。

【0 0 5 3】

また、制御ユニット 4 0 には、少なくとも、C P U 4 1 - 1 とメモリ部 4 1 - 2 とが例えば C P U ファームウェアなどとして実装されている。

ここで、上記の送信回路 1 4 - i（1 6 - i）における F E C エンコーダ 3 1 及び受信回路 1 5 - i（1 7 - i）における F E C デコーダ 4 2 は、F E C（Forward Error Correction）による誤り訂正（エラー訂正）回路として機能するもので、例えば、F E C エンコーダ 3 1 において、上記誤り訂正符号（例えば、リードソロモン符号など；エラー訂正情報）を生成してトランスミッタ 3 2 にて主信号データに付加し、F E C デコーダ 4 2 において、受信した主信号データに付加されている誤り訂正符号をデコードし、それを用いて主信号データの誤り訂正を行なうことで、装置環境（温度や電源電圧、E M C）の変化や外乱、回路素子特性のばらつきなどによって主信号データに生じたエラーを補償するようになっている。

【0 0 5 4】

また、送信回路 14-i (16-i) のトランスミッタ 32 は、上記の誤り訂正符号付きの主信号データ [2.7 (～5.4) Gbps] を、所定ポートを通じてバックプレーン 3 上の信号配線 31-i (32-i) へ出力するもので、このとき、上述したように 8B/10B 変換によって主信号データのビットレートを 2.7 (～5.4) Gbps から 3.375 (～6.75) Gbps に上げるようになっている。このため、本トランスミッタ 32 には、図示しない出力バッファなどが設けられている。

【0055】

一方、受信回路 15-i (17-i) のレシーバ 41 は、バックプレーン 3 上の信号配線 31-i (32-i) から所定ポートを通じて受信される上記の送信回路 14-i (16-i) からの誤り訂正符号付き主信号データを受信するもので、このとき、受信した主信号データのビットレート [3.375 (～6.75) Gbps] を、上記のトランスミッタ 32 とは逆に、10B/8B 変換によって 2.7 (～5.4) Gbps に逆変換するようになっている。このため、本レシーバ 41 にも、トランスミッタ 32 と同様に図示しない出力バッファなどが設けられている。

【0056】

次に、上記のユニット実装情報検出部 33, 43 は、いずれも、上記のユニット 11-i, 12 又は 13 がバックプレーン 3 に実装されたか（具体的には、後述の図 6 に模式的に示すように、コネクタ 51, 52 同士が接続されたか）を検出して、どのスロットにユニット 11-i, 12 又は 13 が実装されたかを示すユニット実装情報（スロットアドレスデータ；実装スロット位置情報）を検出するものである。

【0057】

具体的に、上記の「スロットアドレスデータ」は、例えば、バックプレーン 3 側に設けられたコネクタ 52 の接続ピンのオープンビット “1”，グラウンドビット “0” とした場合に、そのオープン/グラウンド配列（これを「ハードピン設定」という）をスロット毎に変えておくことで、スロット毎に異なるビット配列のデータとして得られる。なお、検出したスロットアドレスデータは、光

リンク 5 経由で制御ユニット 4 0 の CPU 4 1 - 1 へ通知される。

【 0 0 5 8 】

エンファシス制御部（送信側波形制御回路） 3 4 は、CPU 4 1 - 1 からの制御信号に従って、送信回路 1 4 - i （ 1 6 - i ）のトランスミッタ 3 2 の出力信号波形（振幅）を制御（エンファシス制御）することにより、バックプレーン 3 上での主信号データの伝送距離に応じた波形制御を行なうためのもので、その制御方式としては、例えば、「プリ・エンファシス」方式や「エッジ・エンファシス」方式などが適用できる。

【 0 0 5 9 】

具体的に、前者の「プリ・エンファシス」方式では、例えば図 3 （ A ）に模式的に示すように、非連続符号部分ではトランスミッタ 3 2 の出力を振幅強調（破線矢印 3 2 1 参照）し、連続符号部分（ 1 1 ～， 0 0 ～など）では 2 ビット目以降は振幅を減衰させる（破線矢印 3 2 2 参照）ことで、連続符号干渉によるデータのアイパターン開口部（以下、データアイという）の劣化を改善することが行なわれる。また、連続符号部分では常に振幅強調して信号を出力しなくても良いので、トランスミッタ 3 2 の消費電力も低減できる。

【 0 0 6 0 】

この「プリ・エンファシス」制御は、例えば、トランスミッタ 3 2 の出力段で連続符号を検出して出力バッファを制御することで実現できる。なお、受信側において上記とは逆の振幅制御を行なうことは「イコライゼーション」制御と呼ばれる。

一方、後者の「エッジ・エンファシス」方式では、例えば、トランスミッタ 3 2 の出力バッファに、信号波形のエッジ部分だけ高速タイプを使用することで、図 3 （ B ）に模式的に示すように、その波形の立ち上がり・立ち下がり部分を急峻にして波形劣化（なまり）を改善することが行なわれる。

【 0 0 6 1 】

ただし、本実施形態では、上記のバックプレーン伝送においてクロックの伝送は行なわれず主信号データからクロックを再生する手法を採ることを前提としているので、データアイを確保する観点から、前者の「プリ・エンファシス」方式

を適用することが有効である。

つまり、上記の送信回路 1 4 - i (1 6 - i) は、主信号データの送信側ユニット 1 1 - i (1 2) に設けられた、送信信号振幅制御機能付きの送信回路として機能し、主信号データの受信側ユニット 1 2 (1 3) に設けられた、受信信号振幅制御機能付きの受信回路として機能し、制御ユニット 4 0 からの制御信号に従ってこれらの回路での振幅制御量を制御することでバックプレーン 3 上の主信号データの伝送距離に応じた波形制御を行なうようになっているのである。

【 0 0 6 2 】

次に、受信側の上記制御 L S I 回路 1 8 - 5 (1 8 - 6) において、減衰制御部 (受信側波形制御部) 4 4 は、制御ユニット 4 0 の C P U 4 1 - 1 からの制御信号に従って、バックプレーン 3 [信号配線 3 1 - i (3 2 - i)] 経由でレシーバ 4 1 にて受信される主信号データの入力波形を制御することにより、バックプレーン 3 上での主信号データの伝送距離に応じた波形制御を行なうためのもので、例えば、レシーバ 4 1 の入力部分に設けられた可変減衰器 (アッテネータ ; 図示省略) の減衰度を調整することでこの機能が実現される。

【 0 0 6 3 】

また、エラー検出部 4 5 は、レシーバ 4 1 で受信した主信号データのエラーを、上記の誤り訂正符号を用いることで検出するためのもので、その検出結果は、制御ユニット 4 0 の C P U 4 1 - 1 に通知 (フィードバック) されるようになっている。

そして、制御ユニット 4 0 において、C P U (信号波形制御部) 4 1 - 1 は、上述したバックプレーン伝送時の主信号データの伝送距離に応じた波形補正制御を制御するためのもので、その要部の機能に着目すると、例えば図 4 に示すように、実装スロット位置情報検出部 4 1 1, エンファシス・減衰制御管理テーブル生成部 4 1 2, エンファシス・減衰制御信号生成部 4 1 3 及びエラー監視 (モニタ) 部 4 1 4 を有して構成されている。

【 0 0 6 4 】

ここで、実装スロット位置情報検出 (収集) 部 4 1 1 は、装置立ち上げ時 (電源投入時) やユニット実装時に、上記のユニット実装情報検出部 3 3, 4 3 で検

出され通知されてくる前記スロットアドレスデータを検出（収集）するものであり、エンファシス・減衰制御管理テーブル生成部（波形補正情報生成部）4 1 2 は、上記の実装スロット位置情報収集部 4 1 1 によって収集されたスロットアドレスデータに基づいて、上記のエンファシス制御及び減衰制御のための管理テーブル（波形補正情報）を生成するためのものである。

【0 0 6 5】

具体的に、このエンファシス・減衰制御管理テーブル生成部 4 1 2（以下、単に「管理テーブル生成部 4 1 2」と略記することがある）では、上記の収集スロットアドレスデータに基づいて、どのスロットのどのポート同士が信号接続するかを認識して、例えば図 5（A）に示すように、ポート間距離（伝送距離）を送受別にコード化して管理テーブル 6 1 を生成し、この管理テーブル 6 1 において例えば伝送距離 1 0 0 m m（ミリメートル）を基準（0 %）として伝送距離に応じた最適な振幅制御量（基準よりも長い伝送距離の場合はエンファシス量、短い場合は減衰度；例えば、1 0 ～ 3 0 % 程度）をコード化することで、図 5（B）に示すようなエンファシス・減衰制御管理テーブル 6 2 を生成するようになっている。

【0 0 6 6】

なお、上記の管理テーブル 6 1，6 2 は、例えば、メモリ部 4 1 - 2 に記憶される。ただし、これらの管理テーブル 6 1，6 2 は、必ずしも両方をメモリ部 4 1 - 2 に記憶しておく必要は無く、最終的に、エンファシス・減衰制御管理テーブル 6 2 がメモリ部 4 1 - 2 に記憶されていればよい。

さらに、このメモリ部 4 1 - 2 には、各スロットのポートの接続関係（ポート位置情報の対応関係）も例えばテーブル形式のデータとして保持され、このデータに基づいて、管理テーブル生成部 4 1 2 は、上述したごとくどのスロットのどのポート同士が信号接続するかを認識できるようになっている。つまり、CPU 4 1 - 1 は、どのスロットのどのポート同士が信号接続するかを予め認識していることになる。

【0 0 6 7】

次に、上記のエンファシス・減衰制御信号生成部 4 1 3 は、上述のごとく管理

テーブル生成部 4 1 2 によって生成されたエンファシス・減衰制御管理テーブル 6 2 を参照して、図 2 により上述したトランスミッタ 3 2 用のエンファシス制御部 3 4 あるいはレシーバ 4 1 用の減衰制御部 4 4 もしくはその両方のための、エンファシス制御信号／減衰制御信号を生成するもので、生成した制御信号は、光リンク 5 経由で HUB ユニット 3 0 の制御 L S I 回路 3 0 - 2 へ送られ、制御 L S I 回路 3 0 - 2 から該当制御 L S I 回路 1 8 - 1 ~ 1 8 - 6 へと送られるようになっている。

【 0 0 6 8 】

なお、上記のエンファシス制御及び減衰制御は、その双方を実施するようにしてもよいし、いずれか一方、つまり、主信号の送信側ユニット 1 1 - i (1 2) における送信回路 1 4 - i (1 6 - i) のトランスミッタ 3 2 に対するエンファシス制御及び主信号の受信側ユニット 1 2 (1 3) における受信回路 1 5 - i (1 7 - i) のレシーバ 4 1 に対する減衰制御のいずれか一方のみを実施するようにしてもよい。

【 0 0 6 9 】

さらに、エラー監視部 4 1 4 は、図 2 により上述したエラー検出部 4 5 での検出結果を受けて、主信号データのエラーを監視（モニタ）するもので、エラーが発生すると、エンファシス・減衰制御信号生成部 4 1 3 によるエンファシス制御値／減衰制御値が微調整されて、最終的にエラーの無い状態になるまで、この微調整が繰り返されるようになっている。

【 0 0 7 0 】

なお、以上のような各部 4 1 1 ~ 4 1 4 の機能は、CPU 4 1 - 1 が例えばメモリ部 4 1 - 2 に記憶されているエンファシス・減衰制御プログラムを読み取り、読み取ったプログラムに従って動作することで実現される。

以下、上述のごとく構成された本実施形態のノード 1 の動作（バックプレーン伝送時の波形制御）について詳述する。なお、以下では、説明の便宜上、上記のユニット 1 1 - i , 1 2 , 1 3 を区別せずに単に「主信号ユニット 1 1」と表記することがある。

【 0 0 7 1 】

まず、図 6 に模式的に示すように、シェルフ 2（バックプレーン 3）の所定スロットに送信側の主信号ユニット 1 1（主信号ユニット“1”）が実装（挿入）されてコネクタ 5 1，5 2 同士が接続されると（図 7 に示すステップ S 1 で Y E S なら）、主信号ユニット 1 1 内の前記ユニット実装情報検出部 3 3 にて、ハードピン設定に応じたスロットアドレスデータが検出されて、これがバックプレーン 3，HUB ユニット 3 0 及び光リンク 5 を介して制御ユニット 4 0 の CPU 4 1-1 へ通知される（図 6 及び図 7 に示すステップ S 2）。

【0072】

CPU 4 1-1 では、実装スロット位置情報収集部 4 1 1 にて上記のスロットアドレスデータが収集（検出）されると（図 6 に示すステップ S 2'）、そのスロットアドレスデータに対するエンファシス量（エンファシス制御値）が管理テーブル生成部 4 1 2 によって決定され、その情報が管理テーブル 6 1 に登録される。すると、エンファシス・減衰制御信号生成部 4 1 3 が、この管理テーブル 6 1 を参照することにより、実装された主信号ユニット 1 1 に対するエンファシス制御信号を生成して、バックプレーン経由 3 でその主信号ユニット 1 1 のエンファシス制御部 3 4 へ送出する（図 6 及び図 7 に示すステップ S 3）。

【0073】

エンファシス制御部 3 4 では、受信したエンファシス制御信号に従ってトランスミッタ 3 2 の出力バッファを制御（設定）することにより、図 3（A）により前述した「プリ・エンファシス」制御（設定）を行なう。これにより、主信号ユニット“1”は、受信側の主信号ユニット 1 1（主信号ユニット“2”）との間のバックプレーン 3〔主信号ライン 3 1-i（3 2-i）〕上の伝送距離に応じた最適な振幅状態で主信号データを送出することが可能となる。

【0074】

そして、受信側の主信号ユニット“2”では、トランスミッタ 3 2 からバックプレーン 3 経由で伝送されてくる主信号データをレシーバ 4 1 で受信し、図 2 により前述したように、F E C による誤り訂正が行なわれる。このとき、主信号データにエラーが発生していると、それがエラー検出部 4 5 にて検出されて CPU 4 1-1 へ通知される。

【0075】

CPU41-1では、図7に示すように、上記のエラー通知をエラー監視部414で監視しており（ステップS4）、エラー通知が無ければ（ステップS4でNOなら）、エンファシス制御値を当初の値に固定する（ステップS5）が、エラー通知が有れば（ステップS4でYESなら）、エンファシス制御値を変化させて（エンファシス制御値のマージン情報を送出して；ステップS6）、監視を続ける（ステップS7）。

【0076】

その結果、エラーの通知頻度（発生頻度）がエンファシス制御値を変化させる前よりも増加すれば（ステップS8でYESなら）、エンファシス・減衰制御信号生成部413は、エンファシス制御値を、直前に変化させた方向とは逆方向に変化させる（ステップS9）。一方、エラーの発生頻度がエンファシス制御値を変化させる前よりも減少すれば（ステップS10でYESなら）、エンファシス・減衰制御信号生成部413は、エンファシス制御値を、直前に変化させた方向と同じ方向に再度変化させる（ステップS11）。なお、上記のステップS10において、エラーの発生頻度が減少しなかった場合は、上記のステップS4以降の処理に戻る。

【0077】

このようにして、エンファシス・減衰制御信号生成部413は、主信号データにエラーが発生していると（ステップS4でYESの場合）、そのエラーが無くなる（あるいは、最小となる）まで（ステップS4でNOと判定されるまで）、エンファシス制御値を微調整して、最終的に、エラーの無い（あるいは、最小の）状態のときの値にエンファシス制御値を固定する（ステップS5）。

【0078】

この結果、バックプレーン3上を伝送する主信号データ（誤り訂正符号付き）は、前述したFECによる誤り訂正機能の効果も手伝って、Gbpsオーダ（3.375～6.75Gbps）という極めて高速な信号データであるにも関わらず、極めて安定して正常に伝送されることになる。

なお、受信側の主信号ユニット11が実装された場合の動作は、図7に示すフ

ローチャートにおいて括弧書きで示すように、「エンファシス」制御ではなく、その主信号ユニット 1 1 に対する「減衰（アッテネータ）」制御となる。また、装置立ち上げ時（電源投入時）には、実装済みの送信側／受信側の主信号ユニット 1 1 に対して、それぞれ、上記と同様の動作が実行されて、エンファシス（減衰）制御値が最適な値に調整・設定される。

【0079】

さらに、受信ブロック 2 0 においても、上記送信ブロック 1 0 と同様のスロット間の伝送距離に応じたエンファシス（減衰）制御が行なわれて、バックプレーン 3 上を伝送する主信号データの波形劣化が補償される。

以上のように、本実施形態のノード 1 によれば、主信号ユニット 1 1 の実装スロット位置（スロットアドレスデータ）と、主信号ユニット 1 1 に搭載された送信回路 1 4 - i（1 6 - i）／受信回路 1 5 - i（1 7 - i）の（出力／入力）ポート位置情報とから特定される、バックプレーン 3 上の主信号データの伝送距離（スロット間の位置関係）に応じた波形補正情報（管理テーブル 6 1）に基づき、バックプレーン 3 上を伝送される主信号データの波形をその伝送距離に応じてエンファシス（減衰）制御して自動的に最適調整（補償）するので、バックプレーン 3 上での主信号データの基本ビットレートを 2. 5 ～ 5. 0 G p b s といった G b p s オーダの超高速ビットレートにしても、その超高速伝送時に顕著に現われる主信号データの波形劣化を改善（補償）することができる。

【0080】

しかも、本実施形態では、送信回路 1 4 - i（1 6 - i）及び受信回路 1 5 - i（1 7 - i）に、F E C による誤り訂正機能（回路）も搭載しているので、微少な装置環境（温度や電源電圧）の変化や外乱などによっても主信号データにエラーが生じるような上記 G b p s オーダの超高速伝送時においても、そのエラーを確実に訂正することができる。

【0081】

つまり、主信号ユニット 1 1 の実装スロット位置の違いに応じたバックプレーン・インタフェース 3 の最適調整を自動的に行なうのである。

従って、常に、主信号ユニット 1 1 間での主信号データの伝送に必要な信号品

質を維持しながら、正常な超高速バックプレーン伝送を安定して行なうことが可能となり、バックプレーン 3 上を伝送される主信号データの並列度（信号配線数）を増加させることなく（即ち、従来の 1 0 G ノードと同一またはそれ以下のサイズで）、4 0 ～ 8 0 G b p s のビットレート（容量）に対応可能な超高速・大容量のノード 1 が実現できる。

【 0 0 8 2 】

ただし、上記の F E C による誤り訂正機能は、上記のエンファシス（アッテネータ）制御による波形制御のみで十分に安定したバックプレーン伝送が可能なビットレートを主信号データのバックプレーン 3 上の基本ビットレートとして選べば、必ずしも搭載する必要は無い。

また、上述した実施形態では、制御ユニット 4 0 （ C P U 4 1 - 1 ）が、主信号ユニット 1 1 の実装時や装置立ち上げ時などにおいて、自動的に、スロットアドレスデータを収集して上記スロット間の伝送距離に応じた波形補正情報（管理テーブル 6 1 ）を生成し、これに基づいて上記のエンファシス（アッテネータ）制御を行なうので、手動で上記エンファシス（アッテネータ）制御のための波形補正情報の設定を行なう必要が無い。従って、上記エンファシス（アッテネータ）制御のための波形補正情報の設定作業が大幅に簡素化されるとともに、人的な設定ミスなども回避することができる。

【 0 0 8 3 】

なお、上述した例では、送信側の主信号ユニット 1 1 [送信回路 1 4 - i （ 1 6 - i ）] に対するエンファシス制御と、受信側の主信号ユニット 1 1 [受信回路 1 5 - i （ 1 7 - i ）] に対するアッテネータ制御との双方を行なえるようになっているが、いずれか一方のみを行なえるようにしてもよい。

即ち、送信回路 1 4 - i （ 1 6 - i ）の主信号データの出力波形は最も伝送距離の長いスロット間隔に合わせてエンファシス制御した状態で固定しておき、受信回路 1 5 - i （ 1 7 - i ）において、伝送距離の短い主信号データほどその振幅を減衰させるように制御してもよいし、逆に、受信回路 1 5 - i （ 1 7 - i ）では主信号データの減衰制御は行なわず、送信回路 1 4 - i （ 1 6 - i ）において、伝送距離の長い主信号データほどエンファシス量を増やすように制御しても

よい。

【0084】

この場合は、送信側及び受信側のいずれか一方のみに対するエンファシス制御又はアッテネータ制御で済むことになる。

また、上述した例では、主信号ユニット11とは個別に設けられた制御ユニット40のCPU41-1が、送信回路14-i (16-i) に対する最適エンファシス制御値の自動設定と、受信回路15-i (17-i) に対する最適減衰制御値の自動設定とを統括して行なっているが、同様の設定を送信回路14-i (16-i) , 受信回路15-i (17-i) 同士が互いに通信することによって自動的に行なえるようにしても良い。

【0085】

即ち、例えば図8に模式的に示すように、送信回路14-i (16-i) と受信回路15-i (17-i) との間に、主信号ライン31-i (32-i) とは別に、上述したエンファシス・減衰制御に必要な情報〔スロットアドレスデータ、エンファシス(減衰)制御値、マージン情報など〕をやりとりするための通信ライン35を設けて、送信回路14-i (16-i) および受信回路15-i (17-i) が、この通信ライン35を介して、互いに主信号データに対する最適なエンファシス(減衰)制御値を決定するための通信を行なうことで、それぞれの最適エンファシス(減衰)制御値を独立して決定できるようにするのである。

【0086】

つまり、上記のCPU41-1を送信回路14-i (16-i) と受信回路15-i (17-i) の双方に搭載して、これらのCPU41-1が通信ライン35を介して通信させることで、双方の最適エンファシス(減衰)制御値を決定するイメージである。

このようにすれば、主信号ユニット11とは別個にCPU41-1(制御ユニット40)を設けることなく、上記と同様のエンファシス・減衰制御を実現できるので、本ノード1のさらなる小型化を図ることが可能である。

【0087】

・ノード1の拡張性の説明

さて、次に、以下では、ノード1の拡張性について説明する。

上述したように、本ノード1は、従来の10Gノード100と同一もしくはそれ以下のサイズで、40～80Gbpsの信号容量に対応できる。このため、バックプレーン3に、主信号ライン（以下、高速信号伝送線ともいう）31-i, 32-i〔2.5（～5.0）Gbps×16並列〕をもう1系統そなえる（つまり、主信号ライン31-i, 32-iを2重化する）ことで、最大160Gbpsの信号容量に対応可能なノード1が実現できることになる。

【0088】

ここで、バックプレーン3にそれだけの空きスペースが存在するかが問題になるが、10Gbps対応のバックプレーン・インタフェースを用いて40Gbps対応のノードを実現すべく、311Mbps×128並列、もしくは、622Mbps×64並列という巨大な並列信号配線をバックプレーン・インタフェースに設ける場合に比べれば、十分な空きスペースを確保できると考えられる。

【0089】

また、主信号ユニット11自体も、将来の高密度集積化により、例えば図9に示すように、既存シェルフ2の1スロットに2スロット分を実装できるぐらいの小型化が可能になると思われる。なお、現状のスロット幅は、送信ユニット（OS）13及び受信ユニット（OR）21で70mm（ミリメートル）前後、IFユニット11-i, 23-iで40mm前後である。

【0090】

つまり、将来、これらの主信号ユニット11のサイズ（スロット幅）が現状の半分程度もしくはそれ以下にまで小型化できれば、既存シェルフ2の1スロットに複数スロット分の主信号ユニット11を実装することが可能になる。

そこで、例えば、将来、送信ユニット13及び受信ユニット21の小型化が可能になることを想定した場合、図9に示すように、シェルフ2（バックプレーン3）の送信ユニット13及び受信ユニット21用の各既存スロット（OSスロット、ORスロット）に、既存のシートコネクタ52に加えて、それぞれを増設する時のための拡張用のシートコネクタ（拡張用接続部）53を設ける。

【0091】

また、バックプレーン 3 上には、例えば図 1 0 に示すように、この拡張用のシートコネクタ 5 3 に接続され増設された送信ユニット 1 3' , 受信ユニット 2 1' と、既存の多重ユニット 1 2 , 分離ユニット 2 2 との通信を可能にする拡張（増設）用の信号配線（高速信号伝送線） 3 2 a（太破線矢印）も設けておく。

ただし、この場合、多重ユニット 1 2 及び分離ユニット 2 2 については、処理回路を高密度集積化してその容量を拡大して、現状のスロット数で送信ユニット 1 3 及び受信ユニット 2 2 の増設に対応できるようにする。また、図 1 0 において、符号 3 2（太実線矢印）は既存の高速信号伝送線 3 2 - i に相当する配線を表わし、符号 3 2 b（二点鎖線）は、後述するように、送信ユニット 1 3 及び受信ユニット 2 1 として、2 波長多重機能をもったユニットを実装した場合に使用される高速信号伝送線（8 0 G b p s 用；基本ビットレート = 5 . 0 G b p s）を表わす。

【 0 0 9 2 】

これにより、既存の 2 ペアの送信ユニット 1 3 , 受信ユニット 2 1 の各スロットに、拡張用のシートコネクタ 5 3 を介して、図 1 0 に示すように送信ユニット 1 3' , 受信ユニット 2 1' をそれぞれ実装すれば、合計 4 ペア（拡張前は 2 ペア）の 4 0 G b p s 対応の送信ユニット 1 3 , 1 3' , 受信ユニット 2 1 , 2 1' を実装することが可能となる。

【 0 0 9 3 】

従って、例えば、バックプレーン 3 上の既存の高速信号伝送線 3 2 及び拡張用の高速信号伝送線 3 2 a の基本ビットレートをそれぞれ 2 . 5 G b p s とすれば、8 0 G b p s 容量のノード 1 が実現でき、2 倍の 5 . 0 G b p s とすれば、1 6 0 G b p s 容量のノード 1 が実現できることになる。システムメニュー（ネットワークアプリケーション）的には、2 F - B L S R（2-Fiber-Bidirectional Line Switched Ring）なら 2 システム分、4 F - B L S R なら 1 システム分を 1 台のノード 1 で実現できることになる。

【 0 0 9 4 】

また、図 1 0 中に示すように、拡張用の信号配線として、高速信号伝送線 3 2 b を設けておけば、例えば図 1 1 及び図 1 2 に示すように、2 ペアの 4 0 G b p

s 対応の送信ユニット 1 3, 受信ユニット 2 1 と、1 ペアの 8 0 G b p s (4 0 G b p s の 2 波長多重) 対応 (WDM 型) の送信ユニット 1 3", 受信ユニット 2 1" とを実装することが可能になる。

【0 0 9 5】

なお、この場合の具体的な実装位置については、図 1 1 において、現状の OS スロット "1" に 2 枚の送信ユニット 1 3, 1 3' が実装されるとともに、現状の OR スロット "1" に 2 枚の受信ユニット 2 1, 2 1' が実装され、且つ、現状の OS/OR スロット "2" に 2 波長多重機能をもつ 8 0 G b p s 対応の WDM 型の送信ユニット 1 3" / 受信ユニット 2 1" に実装されている。また、この場合のバックプレーン 3 上の使用配線は図 1 2 に示すようになる (太実線矢印, 太破線矢印及び太二点鎖線矢印参照)。

【0 0 9 6】

これにより、例えば図 1 3 に示すように、複数の 4 0 G b p s の 2 F - B L S R 同士をリング状に 8 0 G b p s の WDM 信号で接続して、8 0 G b p s のリングネットワークを構築することが可能となる。

以上のように、本ノード 1 によれば、高速信号伝送を安定して行なえるバックプレーン 3 の信号伝送容量を、装置規模を増大させることなく必要に応じて増やすことができるので、将来の伝送システムの高速化・大容量化にも柔軟に対応することができ、新たな装置開発コストを大幅に低減することができる。また、様々なシステムメニューにも 1 台のノード 1 で柔軟に対応することが可能となる。

【0 0 9 7】

・その他

なお、上述した実施形態では、バックプレーン 3 における主信号データの基本ビットレートの上限值を 5. 0 G b p s としているが、勿論、本発明はこれに限定されず、主信号データの波形制御により正常なバックプレーン伝送が安定して行なえる範囲であれば、5. 0 G b p s 以上のビットレートを採用することで、さらに高速・大容量のノード 1 を実現することが可能である。

【0 0 9 8】

また、上述した拡張用のシートコネクタ 5 3 及び信号配線は、シェルフ 2 の全

スロットに対応して設けてもおいてもよいし、上述したように一部のスロットのみに対応して設けておいてもよい。

そして、本発明は、上述した実施形態に限定されず、上記以外にも、本発明の趣旨を逸脱しない範囲で、種々変形して実施することができる。

【0099】

【発明の効果】

以上詳述したように、本発明によれば、複数の通信ユニットが実装されたバックプレーン上を伝送される信号の波形が、通信ユニットの実装スロット位置情報に基づいて制御されるので、信号の伝送速度が上がったときに顕著に現われる伝送距離に応じた信号波形劣化を補償することが可能となり、上記通信ユニット間での信号伝送に必要な信号品質を維持しながら常に安定した信号伝送を実現することができる。従って、バックプレーン上を伝送される信号の並列度を上げることなく、通信ユニット間の信号の安定した高速伝送を実現でき、その結果、小型で超高速・大容量の通信ノードを提供することが可能になる（請求項1）。

【0100】

ここで、上記の信号波形制御は、通信ユニットの実装時や装置立ち上げ時などにおいて自動的にその実装スロット位置情報を収集して上記伝送距離を求め、その伝送距離に応じた波形補正情報を生成し、これに基づいて信号の伝送距離に応じた波形制御を行なうようにすることもできる。従って、手動で上記波形制御のための波形補正情報を設定する必要がなく、上記波形制御のための設定作業が大幅に簡素化されるとともに、設定ミスなども回避することができる（請求項2）。

【0101】

なお、上記の波形制御は、信号の送信側である通信ユニットにおいて送信信号の振幅を制御することで実施してもよいし、信号の受信側である通信ユニットにおいて受信信号の振幅を制御することで実施してもよく、また、これらの両方を組み合わせて実施するようにしてもよい。いずれにしても、上記信号の伝送距離に応じた波形制御を確実に実現することができる（請求項3，4，9，10）。

【0102】

また、上記の信号波形制御は、上記信号の送信側通信ユニット及び受信側通信ユニットのそれぞれに設けた信号波形制御部同士が上記信号の振幅制御量を決定するための通信を行なうことで実現してもよく、このようにすれば、通信ユニットと別個に信号波形制御部を設ける必要が無いので、通信ノードの装置規模縮小に大きく寄与する（請求項５）。

【0103】

さらに、上記の通信ユニットでは、それぞれ、エラー訂正回路によって、上記信号のエラー訂正を行なうようにしてもよい。このようにすれば、装置環境（温度や電源電圧）の変化などの微少な外乱によっても信号エラーが生じるような高速信号伝送時においても、エラー訂正回路によりその信号エラーを訂正することができるので、バックプレーン上での信号伝送を、その安定性を保ったまま、さらに高速化（大容量化）することが可能になる（請求項６，７）。

【0104】

また、上記のバックプレーンには、上記のスロットに対する通信ユニット増設時のための拡張用接続部と、この拡張用接続部に接続され増設された通信ユニットとそれ以外の既存通信ユニットとの通信を可能にする拡張用信号配線とが設けられていてもよい。このようにすれば、上述のごとく高速信号伝送を安定して行なえるバックプレーンの信号伝送容量を、装置規模を増大させることなく必要に応じて増やすことができるので、将来の伝送システムの高速化・大容量化にも柔軟に対応することができ、新たな装置開発コストを大幅に低減することができる（請求項８）。

【図面の簡単な説明】

【図１】

本発明の一実施形態としてのSONET／SDHノードを模式的に示す斜視図である。

【図２】

図１に示すノードにおける送信ＩＦユニット、多重ユニット（多重ユニット、送信ユニット）及び制御ユニットの要部に着目した構成を示すブロック図である。

【図 3】

(A) は本実施形態に係る「プリ・エンファシス」方式を説明するための図、
(B) は本実施形態に係る「エッジ・エンファシス」方式を説明するための図である。

【図 4】

図 2 に示す制御ユニットの構成例を示すブロック図である。

【図 5】

(A) , (B) はいずれも本実施形態に係るエンファシス・減衰制御のための管理テーブルの一例を示す図である。

【図 6】

図 1 に示すノードの動作（エンファシス・減衰制御）を説明するための図である。

【図 7】

図 1 に示すノードの動作（エンファシス・減衰制御）を説明するためのフローチャートである。

【図 8】

本実施形態にかかるエンファシス（減衰）制御値の最適調整方法の変形例を説明するためのブロック図である。

【図 9】

図 1 に示すノードのスロット配置に着目した模式的正面図である。

【図 1 0】

図 1 及び図 2 に示すバックプレーン・インタフェース上の配線例（4 0 G b p s 対応の送信ユニット及び受信ユニットを 4 ペア実装した場合）を説明するためのブロック図である。

【図 1 1】

図 1 に示すノードのスロット配置に着目した模式的正面図である。

【図 1 2】

2 ペアの 4 0 G b p s 対応送信ユニット及び受信ユニットと 1 ペアの 8 0 G b p s 対応 WDM 型送信ユニット及び受信ユニットとを実装した場合の図 1 及び図

2に示すバックプレーン・インタフェース上の使用配線を説明するためのブロック図である。

【図 1 3】

図 1 2 に示す使用配線のノードを用いて実現したリングネットワーク例を示すブロック図である。

【図 1 4】

既存の S O N E T / S D H 伝送システムに適用される伝送装置（通信ノード）の外観を模式的に示す正面図である。

【図 1 5】

図 1 4 に示す伝送装置におけるトランスポート・コンプレックス部に着目した構成を模式的に示す斜視図である。

【図 1 6】

図 1 4 に示す伝送装置におけるシンクロナイゼーション・コンプレックス部に着目した構成を模式的に示す斜視図である。

【図 1 7】

図 1 4 に示す伝送装置におけるマネージメント・コンプレックス部に着目した構成を模式的に示す斜視図である。

【図 1 8】

図 1 5 に示すトランスポート・コンプレックス部における主信号の伝送経路を説明するための模式的斜視図である。

【図 1 9】

図 1 5 及び図 1 8 に示すトランスポート・コンプレックス部を構成するユニットの接続関係を説明するためのブロック図である。

【図 2 0】

図 1 4 に示す伝送装置のシェルフに対するユニットの実装方法を説明するための模式的斜視図である。

【符号の説明】

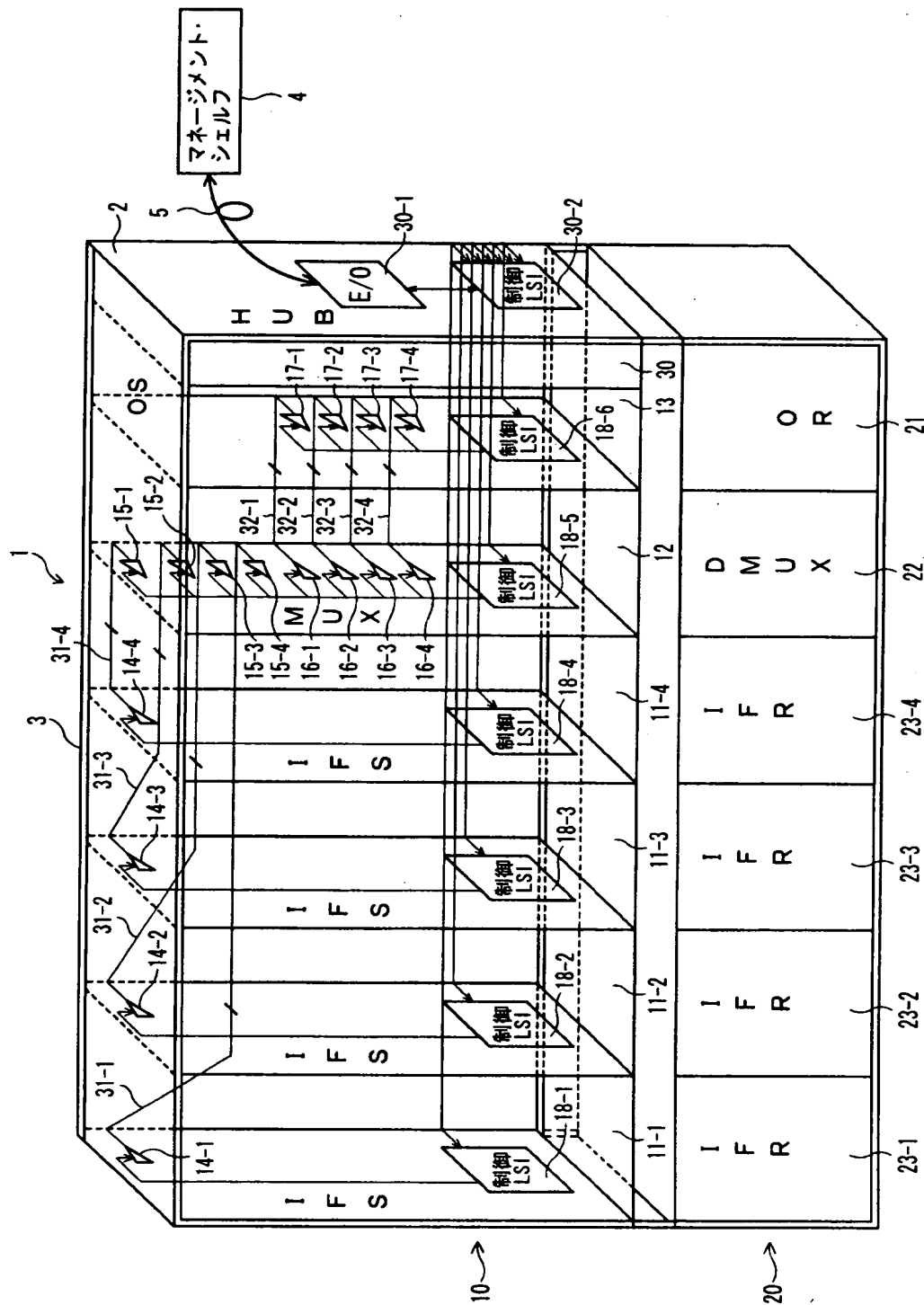
- 1 S O N E T / S D H ノード（通信ノード）
- 2 シェルフ（ラック）

- 3 バックプレーン・インタフェース（バックプレーン伝送回路）
- 4 マネージメント・シェルフ
- 5 光リンク（光ファイバ）
- 10 送信ブロック
- 11 主信号ユニット
- 11-1～11-4 送信インタフェース（IF）ユニット（主信号ユニット）
- 12 多重ユニット（MUX；主信号ユニット）
- 13, 13' 送信ユニット（OS；主信号ユニット）
- 13" 80Gbps（40Gbpsの2波長多重）対応（WDM型）の送信ユニット
- 14-1～14-4, 16-1～16-4 送信回路
- 15-1～15-4, 17-1～17-4 受信回路
- 18-1～18-6, 30-2 制御LSI回路
- 20 受信ブロック
- 21, 21' 受信ユニット（OR）
- 21" 80Gbps（40Gbpsの2波長多重）対応（WDM型）の受信ユニット
- 22 分離ユニット（DMUX）
- 23-1～23-4 受信インタフェース（IF）ユニット
- 30 HUBユニット
- 30-1 電気光変換器（E/O）
- 31-1～31-4, 32-1～32-4 信号配線（主信号ライン，高速信号伝送線）
- 31 FECエンコーダ
- 32 トランスミッタ
- 32a 拡張用の信号配線〔高速信号伝送線（40Gbps用）〕
- 32b 拡張用の信号配線〔高速信号伝送線（80Gbps WDM用）〕
- 33, 43 ユニット実装情報検出部

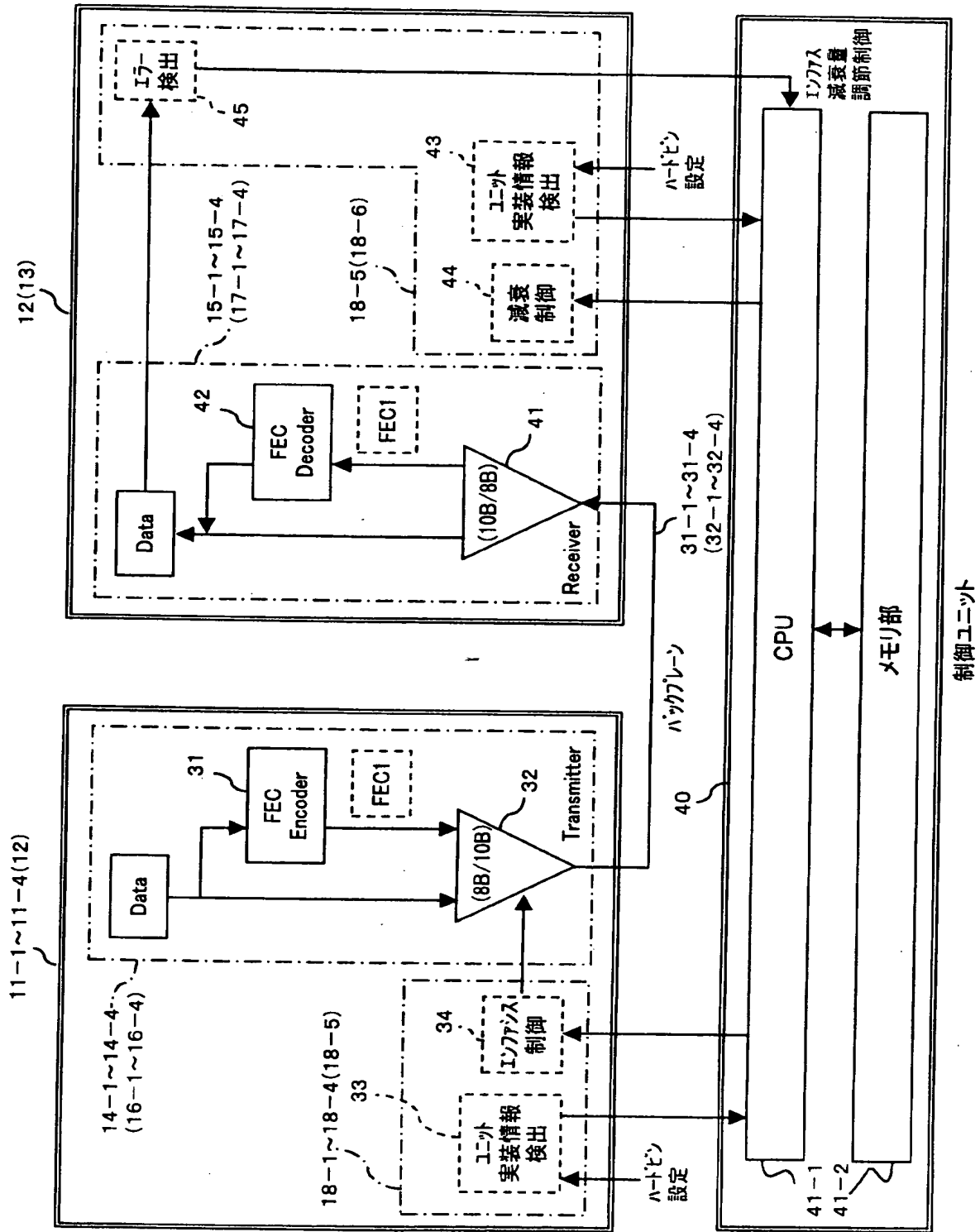
- 3 4 エンファシス制御部（送信側波形制御回路）
- 3 5 通信ライン
- 4 0 制御ユニット
- 4 1 レシーバ
 - 4 1 - 1 CPU（信号波形制御部）
 - 4 1 - 2 メモリ部
- 4 2 FECデコーダ
- 4 4 減衰制御部（受信側波形制御回路）
- 4 5 エラー検出部
- 5 2 シートコネクタ
- 5 3 拡張用のシートコネクタ
- 6 1 管理テーブル
- 6 2 エンファシス・減衰制御管理テーブル
- 4 1 1 実装スロット位置情報収集部
- 4 1 2 エンファシス・減衰制御管理テーブル生成部
- 4 1 3 エンファシス・減衰制御信号生成部
- 4 1 4 エラー監視部

【書類名】 図面

【図 1】

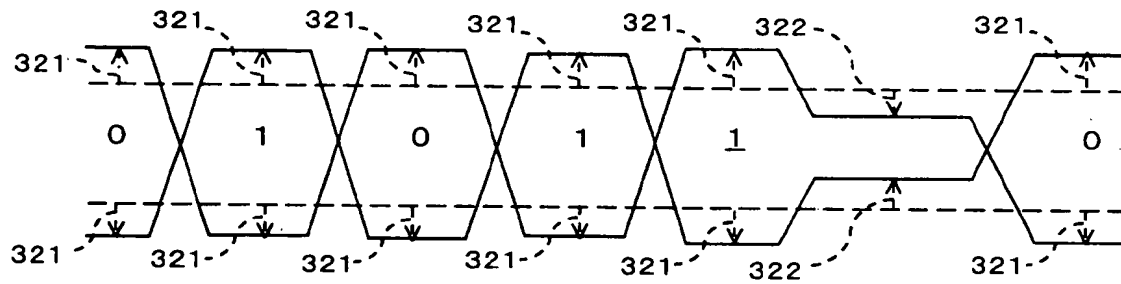


【図 2】

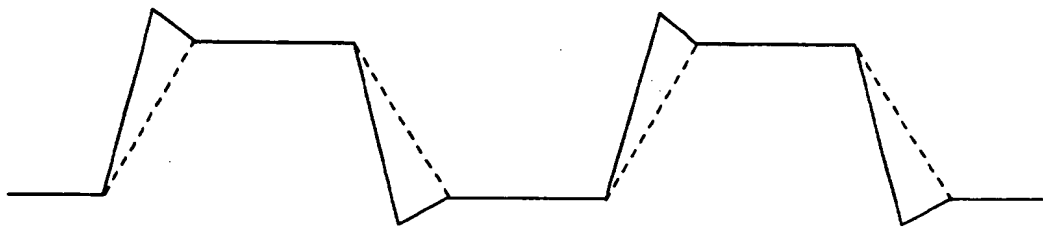


【図 3】

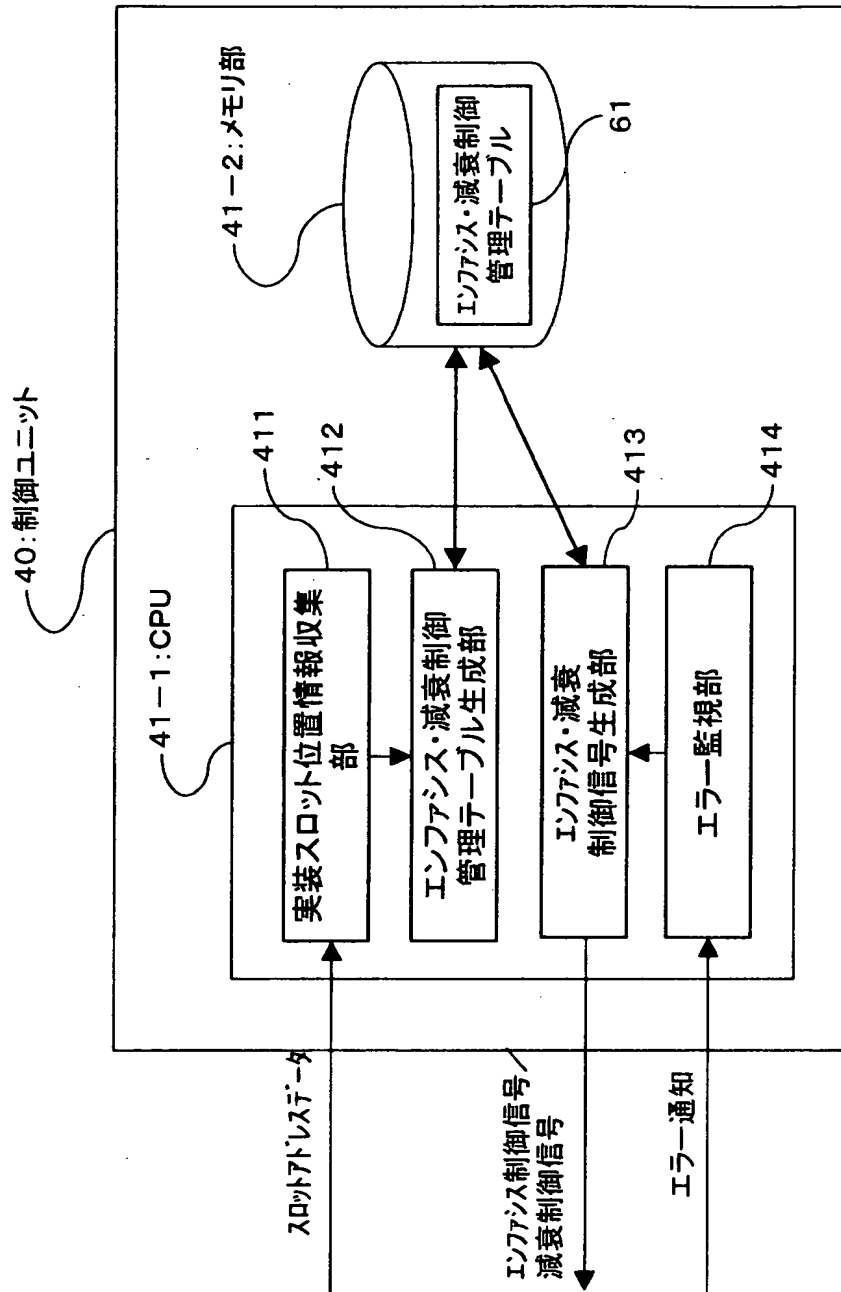
(A)



(B)



【図 4】



【図 5】

61

送信	受信	受信回路 15-1	受信回路 15-2	受信回路 15-3	受信回路 15-4	受信回路 17-1	受信回路 17-2	受信回路 17-3	受信回路 17-4
送信回路14-1	受信	550mm	-	-	-	-	-	-	-
送信回路14-2	送信	-	400mm	-	-	-	-	-	-
送信回路14-3	送信	-	-	250mm	-	-	-	-	-
送信回路14-4	送信	-	-	-	100mm	-	-	-	-
送信回路16-1	送信	-	-	-	-	100mm	-	-	-
送信回路16-2	送信	-	-	-	-	-	100mm	-	-
送信回路16-3	送信	-	-	-	-	-	-	100mm	-
送信回路16-4	送信	-	-	-	-	-	-	-	100mm

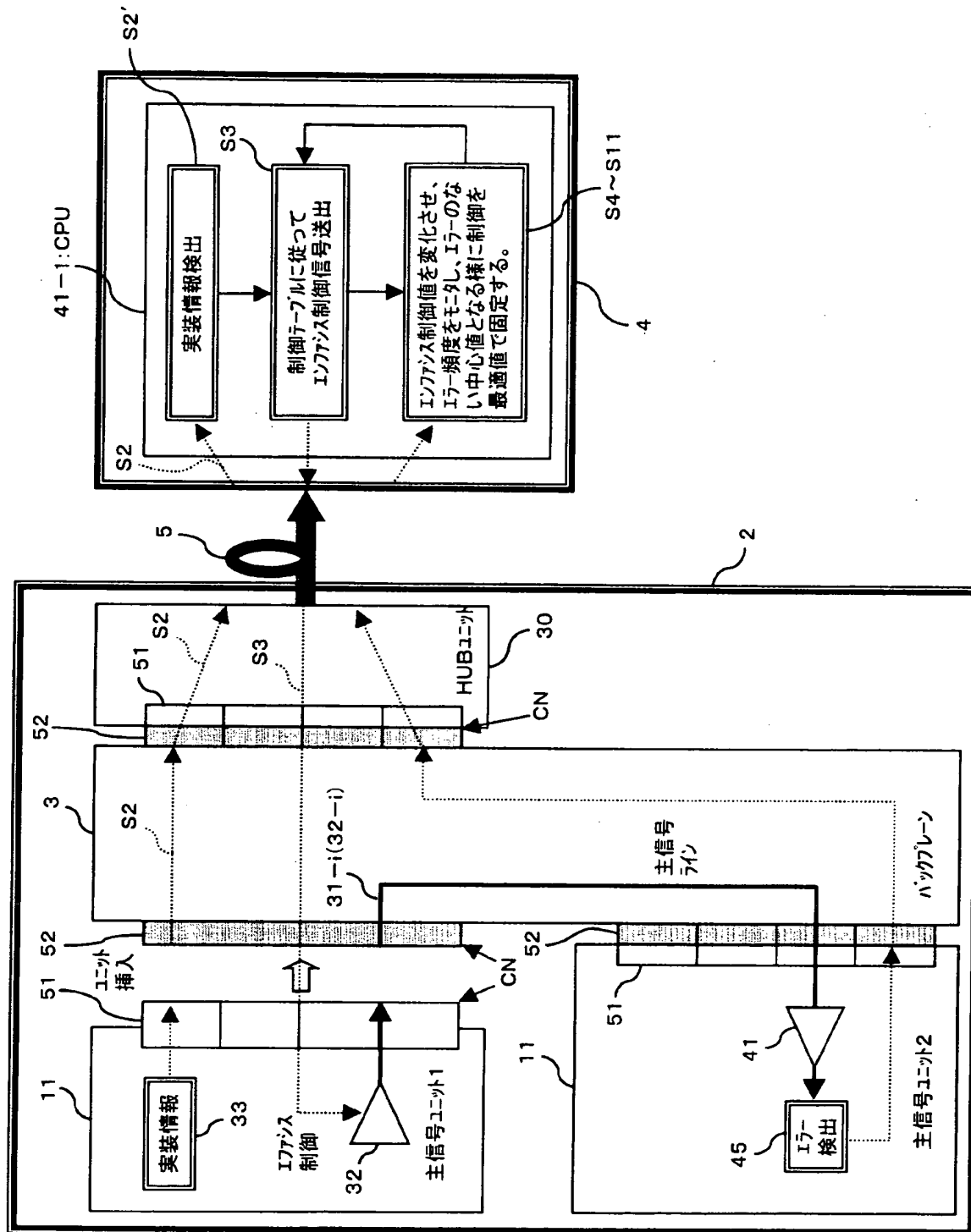
(A)

62

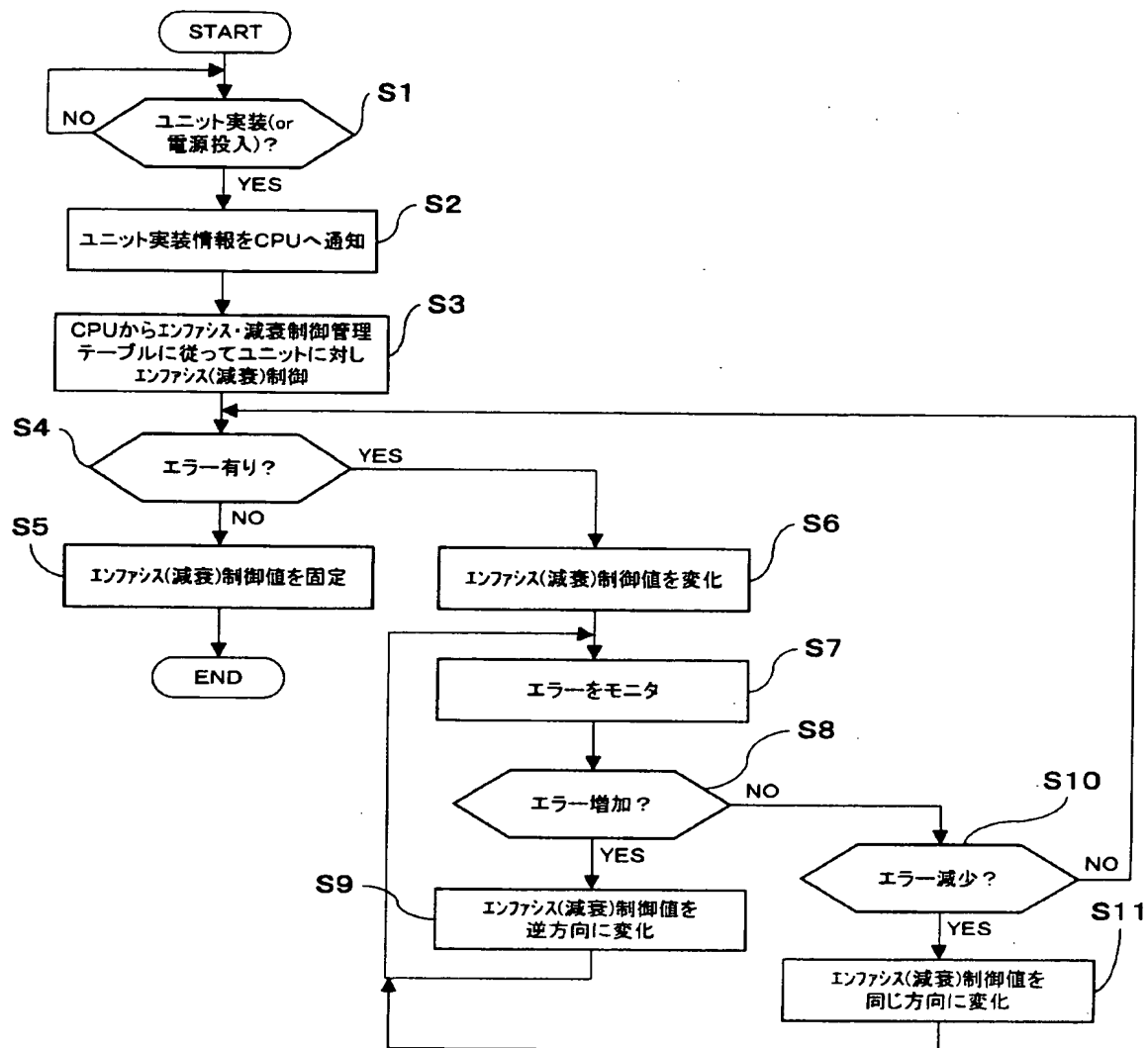
送信	受信	受信回路 15-1	受信回路 15-2	受信回路 15-3	受信回路 15-4	受信回路 17-1	受信回路 17-2	受信回路 17-3	受信回路 17-4
送信回路14-1	受信	30%	-	-	-	-	-	-	-
送信回路14-2	送信	-	20%	-	-	-	-	-	-
送信回路14-3	送信	-	-	10%	-	-	-	-	-
送信回路14-4	送信	-	-	-	0%	-	-	-	-
送信回路16-1	送信	-	-	-	-	0%	-	-	-
送信回路16-2	送信	-	-	-	-	-	0%	-	-
送信回路16-3	送信	-	-	-	-	-	-	0%	-
送信回路16-4	送信	-	-	-	-	-	-	-	0%

(B)

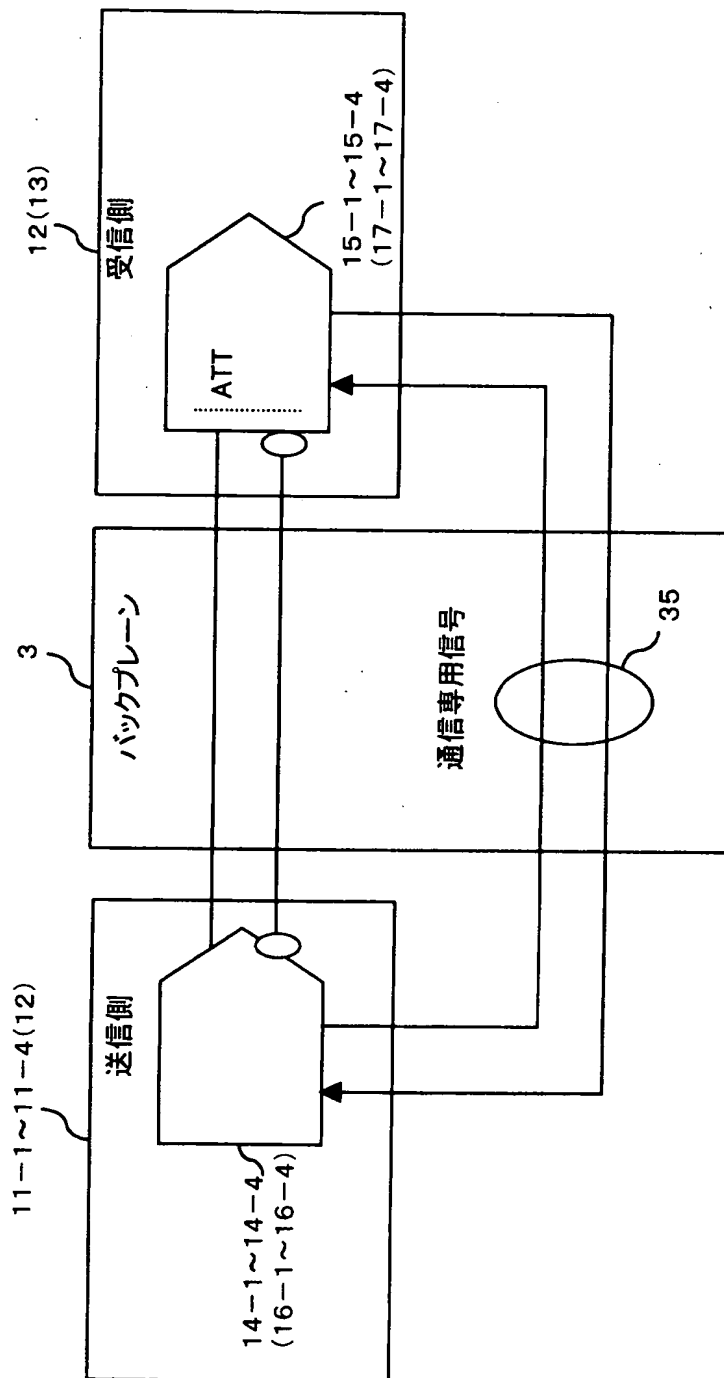
【図 6】



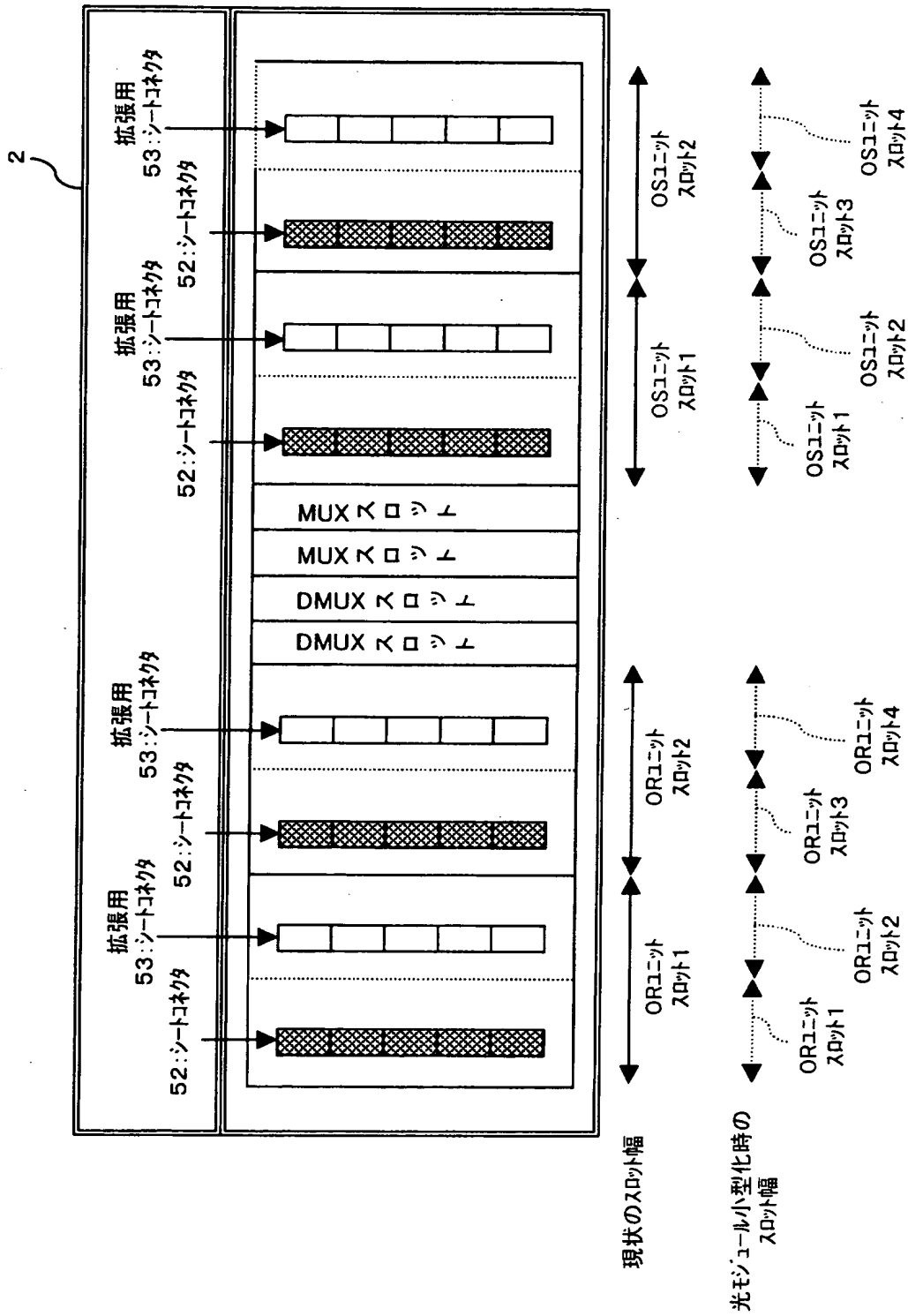
【図 7】



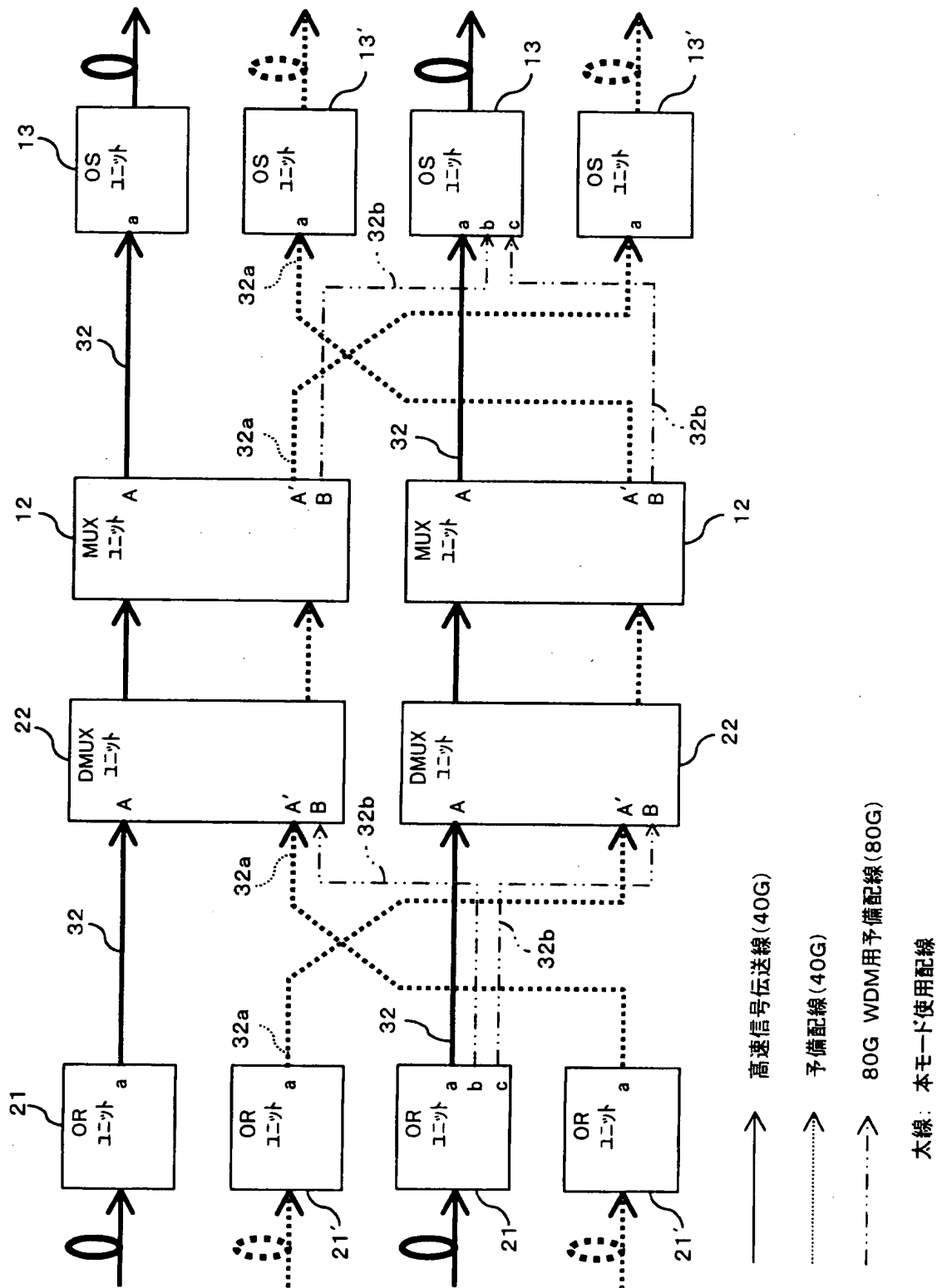
【図 8】



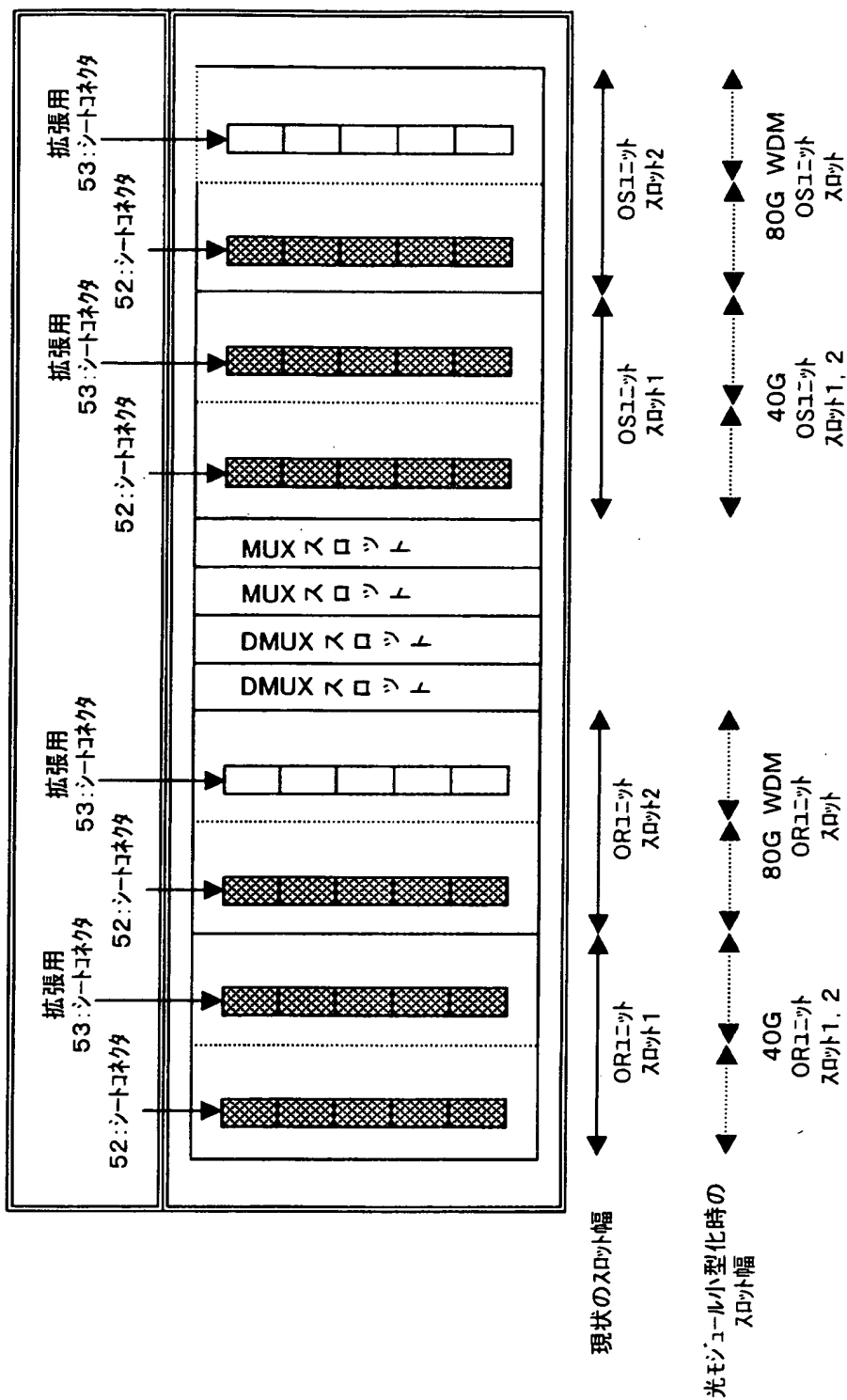
【図 9】



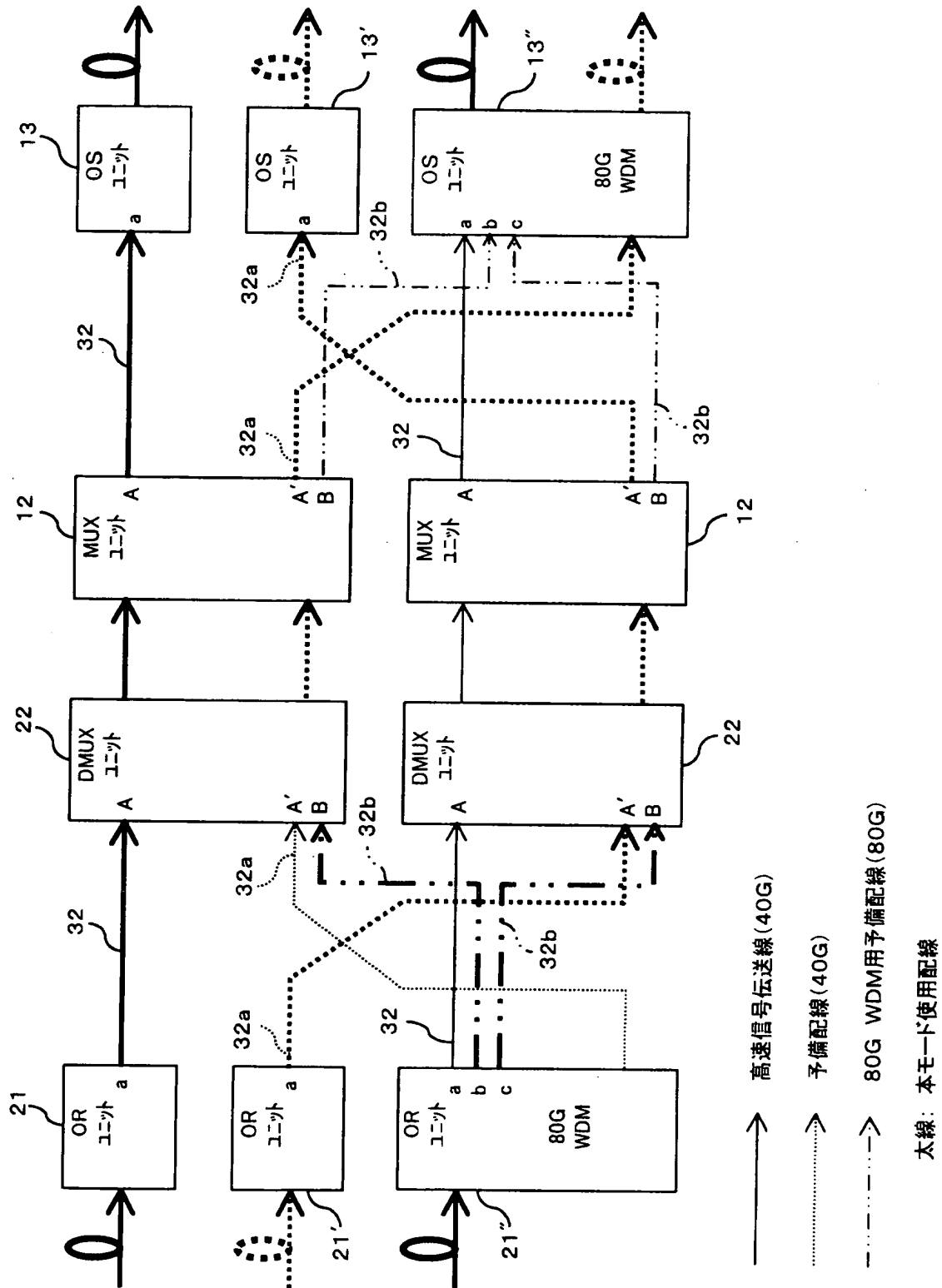
【図10】



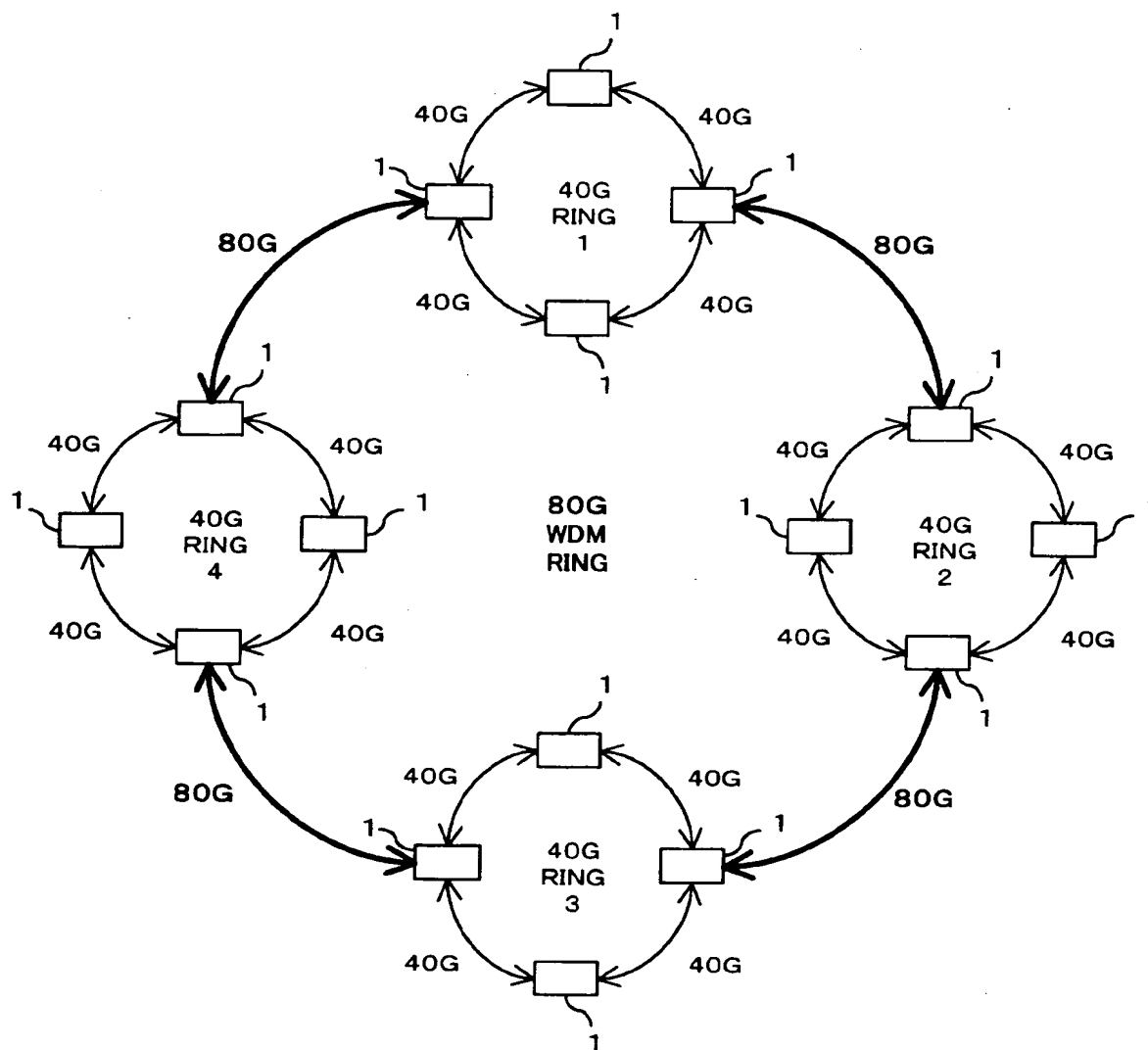
【図 1 1】



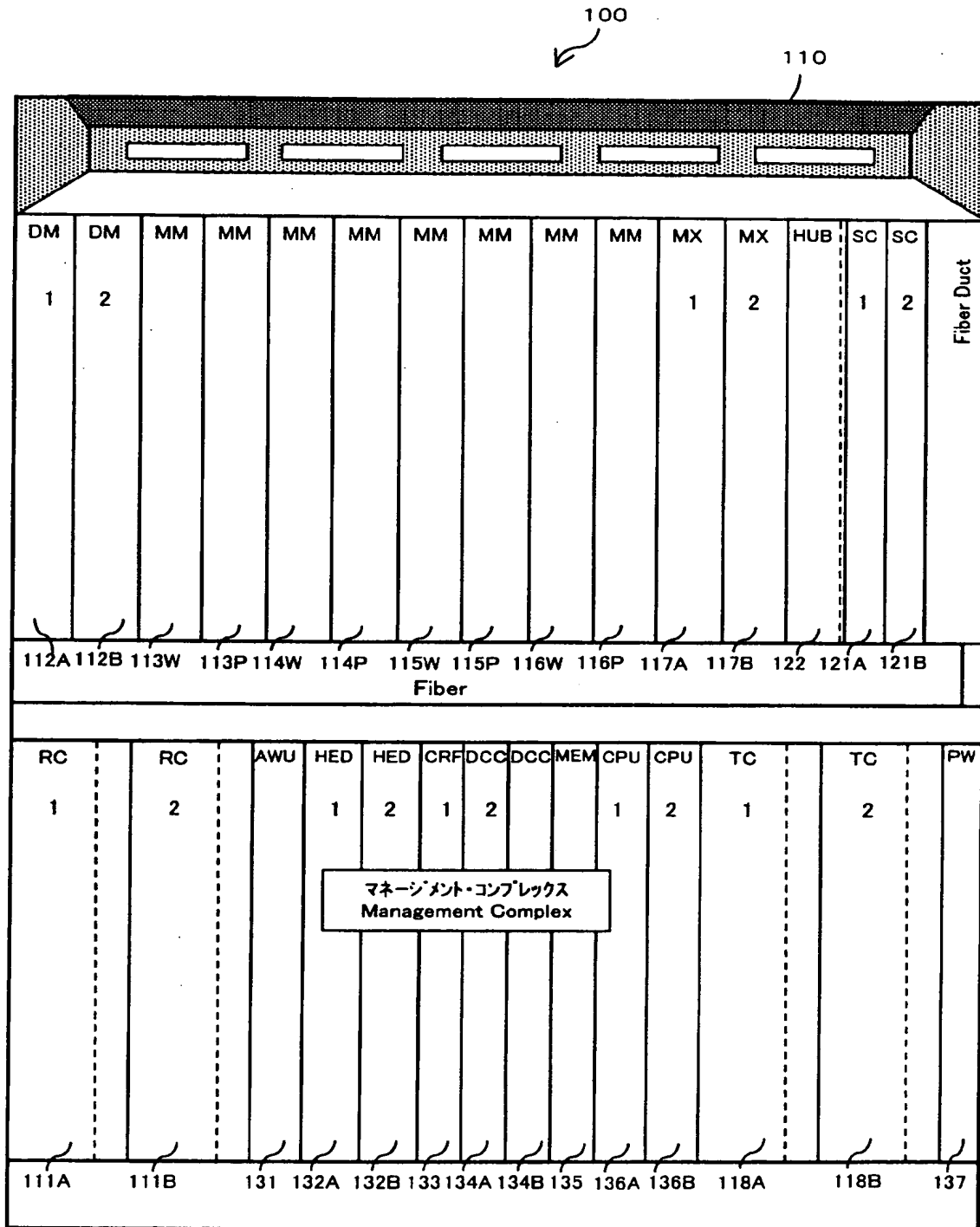
【図 12】



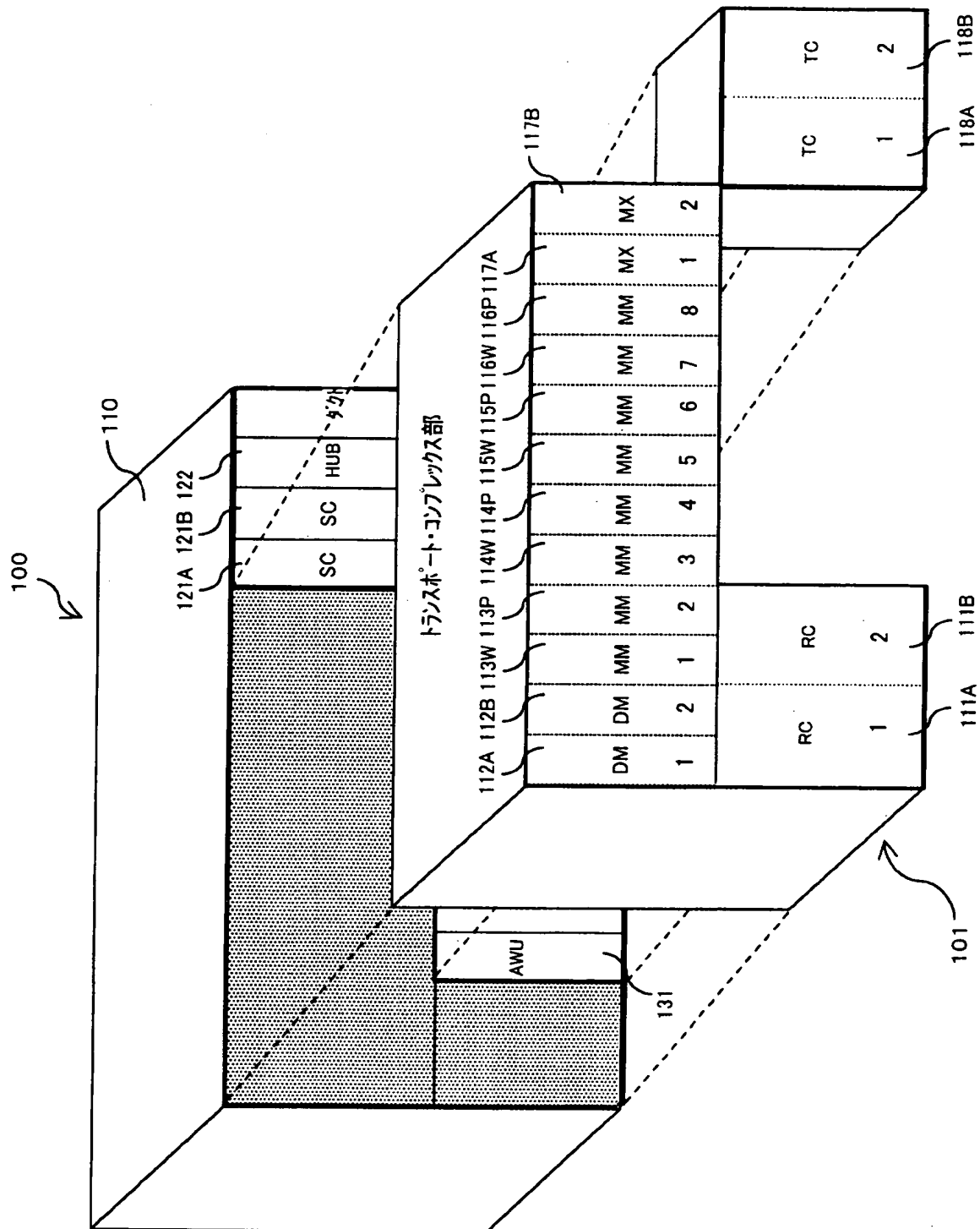
【図 1 3】



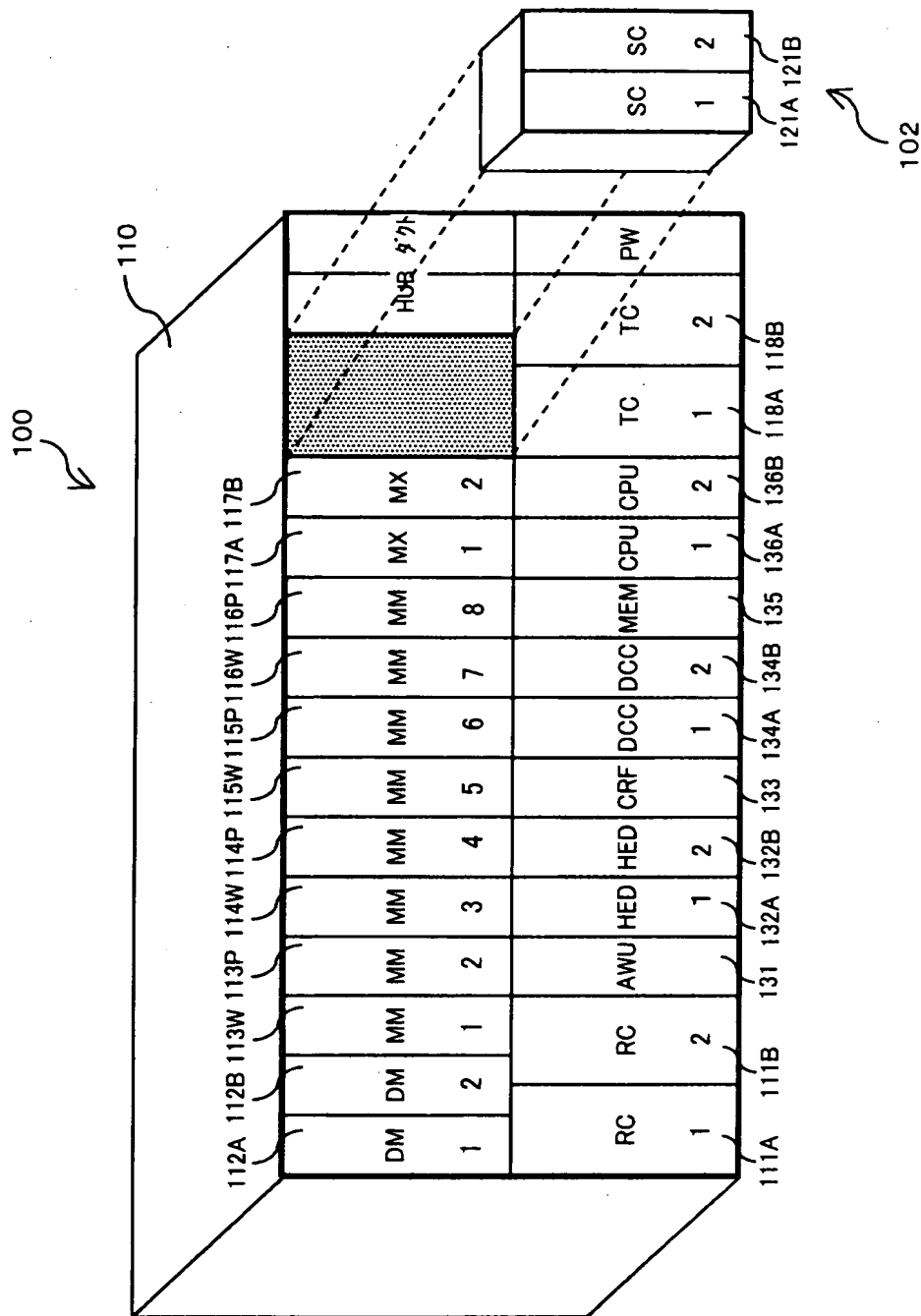
【図 1 4】



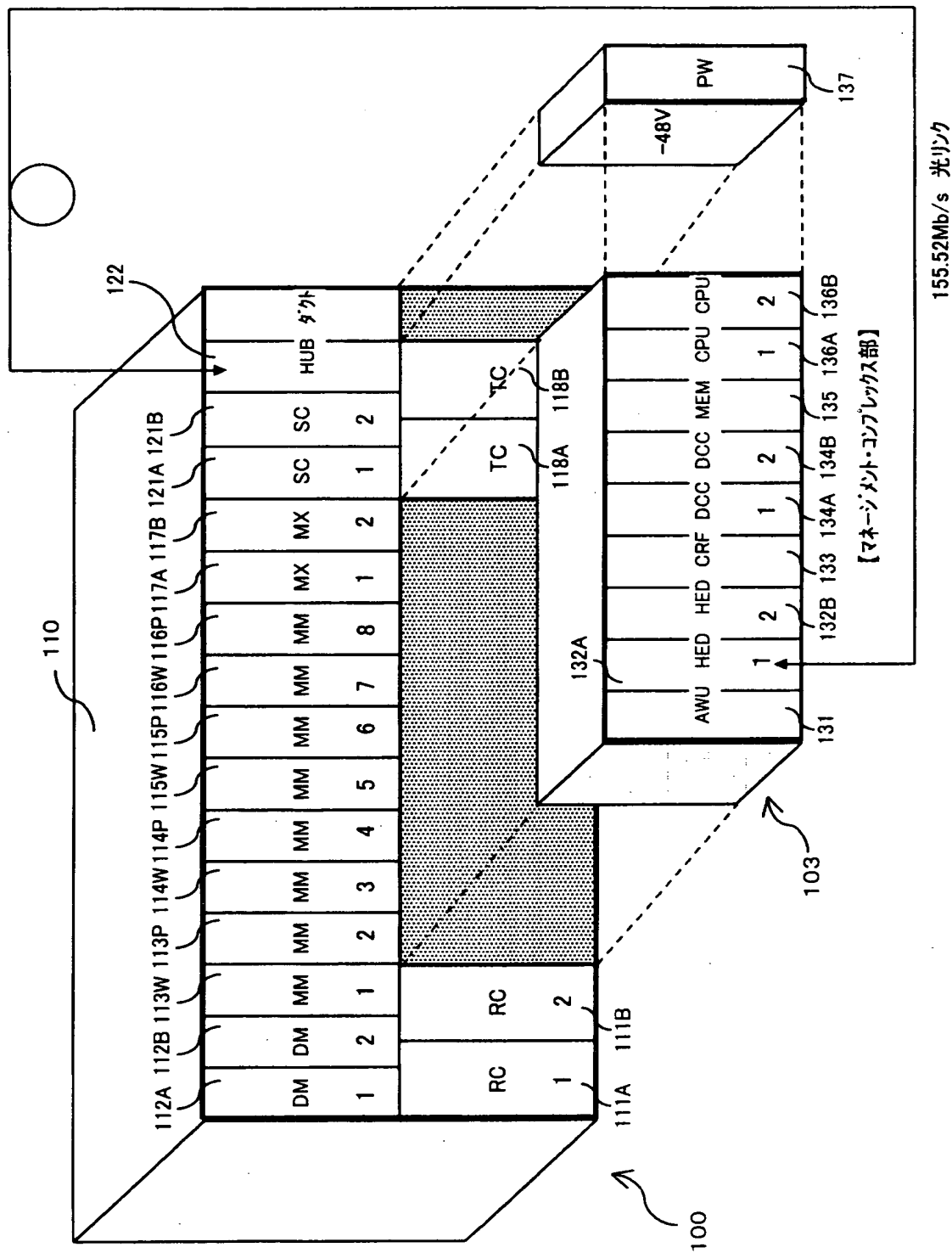
【図 15】



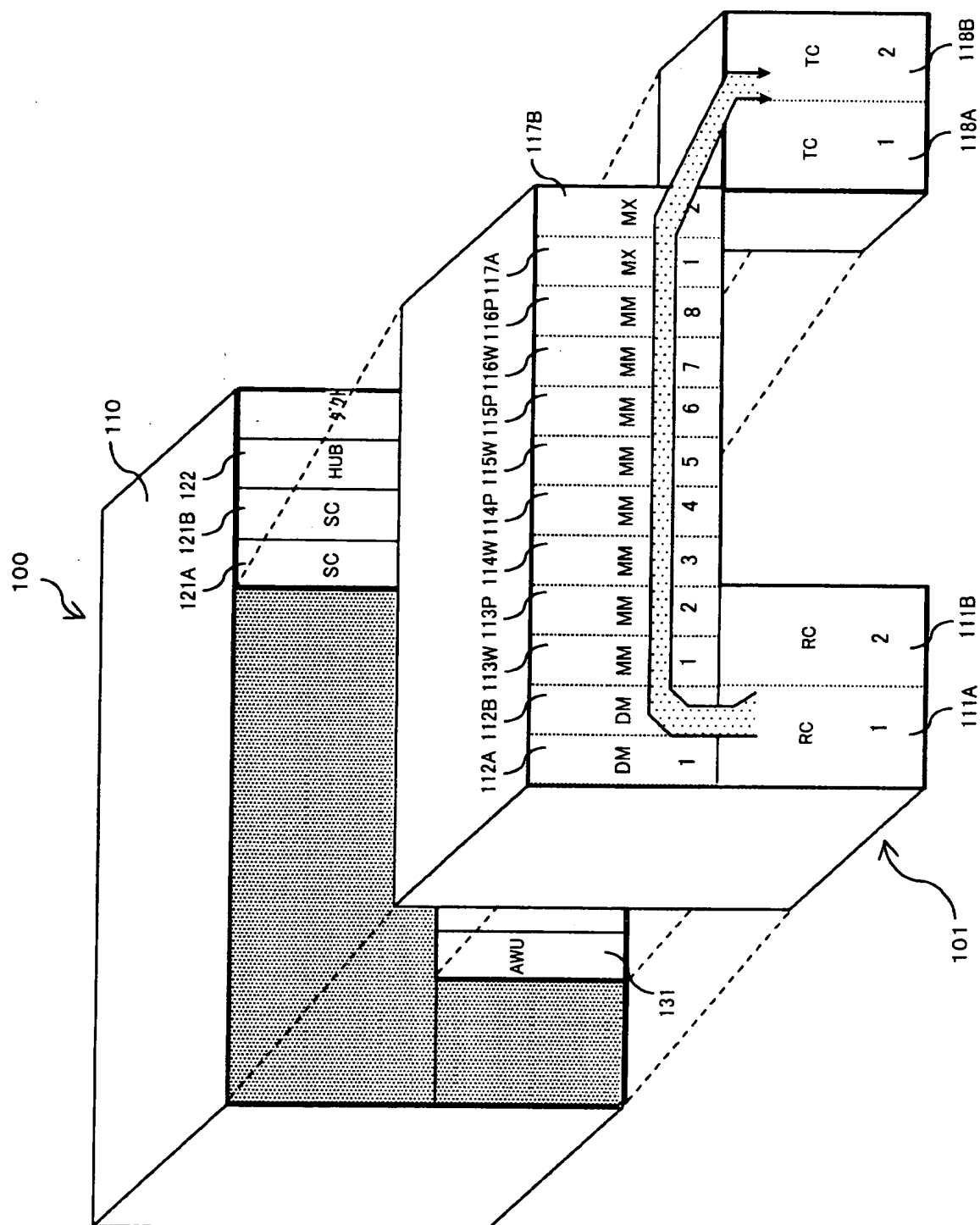
【図 16】



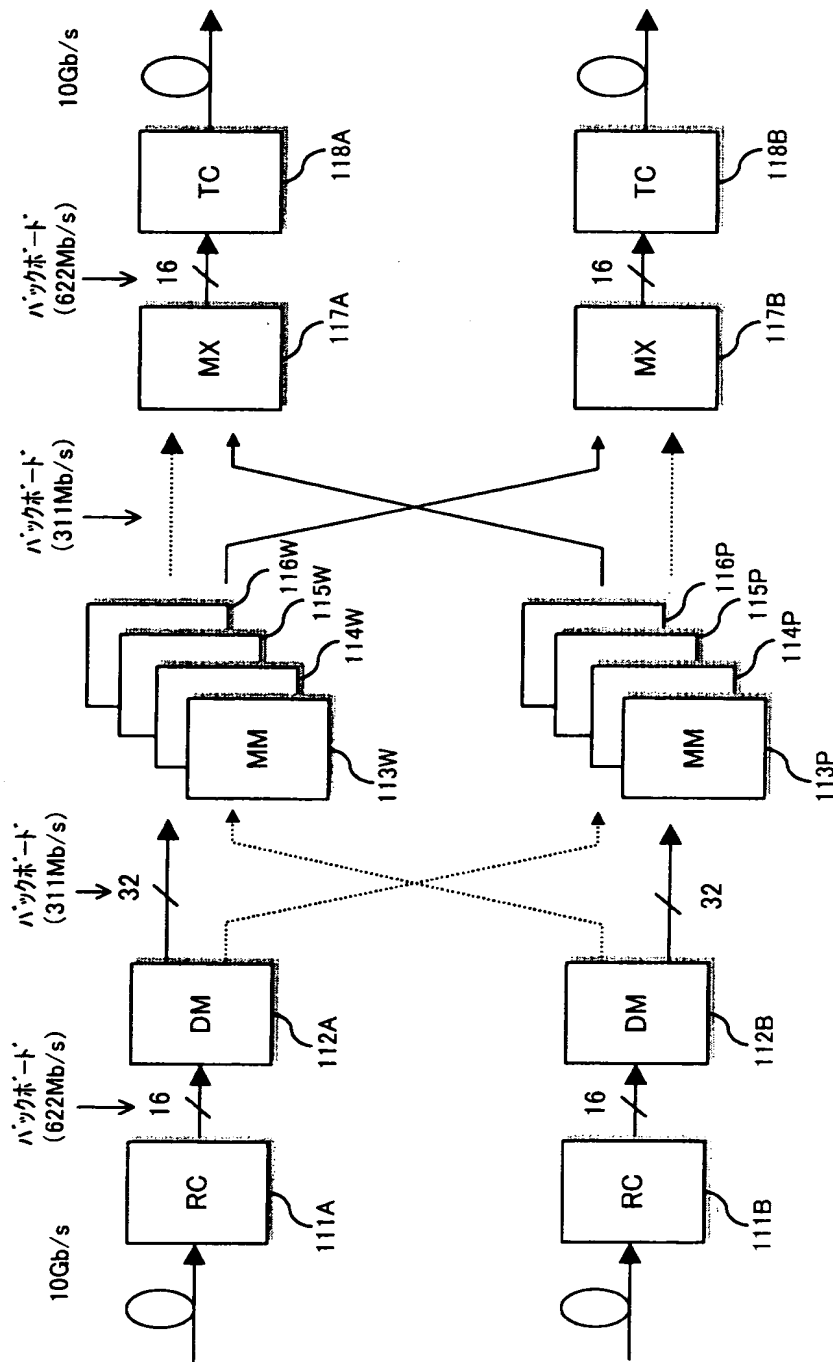
【図 17】



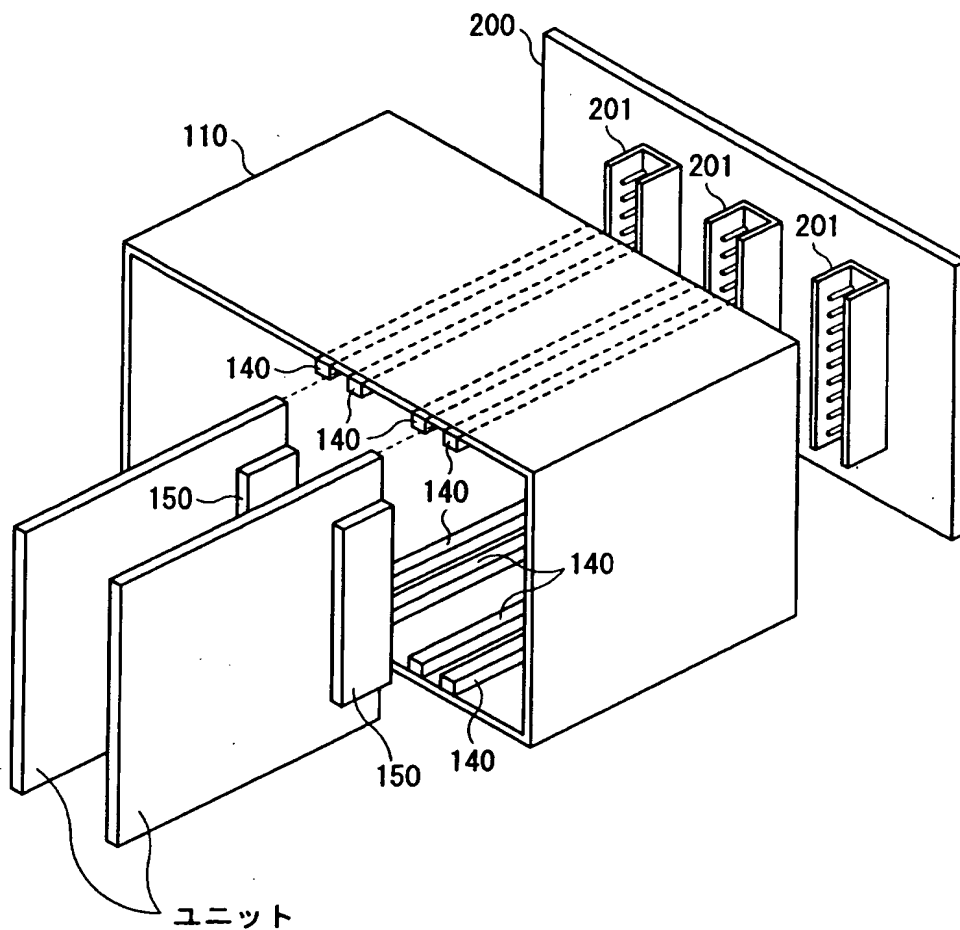
【图 18】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 主信号の並列度を上げずにその主信号のバックプレーン伝送を安定して高速に行なえるようにして、40 Gbps や 160 Gbps もしくはそれ以上の超高速・大容量のビットレートに対応可能な拡張性の高い通信ノードを、小型に実現できるようにする

【解決手段】 複数のスロットに実装された通信ユニット 11-i, 12 (12, 13) 間での信号の伝送を可能にするバックプレーン伝送回路 3 と、このバックプレーン伝送回路 3 における通信ユニット 11-i, 12 (12, 13) 間の該信号の伝送距離に応じて該信号の波形制御を行なう信号波形制御部 41-1 とをそなえるように構成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社